

Requested Patent: DE10003671A1

Title:

SEMICONDUCTOR COMPONENT, ESPECIALLY A SURFACE MOUNTABLE  
SEMICONDUCTOR PACKAGE, HAS FRONT AND BACK FACE ELECTRODES  
CONNECTED TO METAL PARTS BY PRECIOUS METAL-CONTAINING BODIES OR  
LAYERS ;

Abstracted Patent: DE10003671 ;

Publication Date: 2000-08-10 ;

Inventor(s):

KAJIWARA RYOICHI (JP); KOIZUMI MASAHIRO (JP); MORITA TOSHIKI (JP);  
TAKAHASHI KAZUYA (JP); KISHIMOTO MUNEHISA (JP); ISHII SHIGERU (JP);  
HIRASHIMA TOSHINORI (JP); TAKAHASHI YASUSHI (JP); HATA TOSHIYUKI (JP);  
SATO HIROSHI (JP); OOKAWA KEIICHI (JP) ;

Applicant(s): HITACHI LTD (JP); HITACHI TOBU SEMICONDUCTOR LTD (JP) ;

Application Number: DE20001003671 20000128 ;

Priority Number(s): JP19990019431 19990128; JP19990160539 19990608 ;

IPC Classification: H01L23/495; H01L21/56; H01L21/60; H01L23/34 ;

Equivalents: KR20000057810, US2008169537, US6774466 ;

ABSTRACT:

Semiconductor component has front and back face electrodes connected to metal parts by precious metal-containing bodies or layers. An Independent claim is also included for production of the above semiconductor component. Preferred Features: The back face electrode may be connected to its associated metal part by a layer of precious metal alloy with a solidus temperature of  $\sim 400$  deg C. The component may comprise a chip having an electrode which is provided with an Al (alloy) film and which is connected by Au bumps to a metal part provided with a plated precious metal film on its connection face, the aluminum film consisting entirely of an Au/Al alloy in the thickness direction over more than 80% of the Au/Al connection region area.

42



19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

12 Offenlegungsschrift  
10 DE 100 03 671 A 1

51 Int. Cl.<sup>7</sup>:  
H 01 L 23/495  
H 01 L 21/60  
H 01 L 21/56  
H 01 L 23/34

21 Aktenzeichen: 100 03 671.6  
22 Anmeldetag: 28. 1. 2000  
43 Offenlegungstag: 10. 8. 2000

D4

DE 100 03 671 A 1

30 Unionspriorität:  
11-19431 28. 01. 1999 JP  
11-160539 08. 06. 1999 JP

71 Anmelder:  
Hitachi, Ltd., Tokio/Tokyo, JP; Hitachi Tohbu  
Semiconductor Ltd., Takasaki, Gunma, JP

74 Vertreter:  
Strehl, Schübel-Hopf & Partner, 80538 München

72 Erfinder:  
Kajiwara, Ryoichi, Hitachi, Ibaraki, JP; Koizumi,  
Masahiro, Hitachi, Ibaraki, JP; Morita, Toshiaki,  
Hitachi, Ibaraki, JP; Takahashi, Kazuya, Hitachinaka,  
Ibaraki, JP; Kishimoto, Munehisa, Kamakura,  
Kanagawa, JP; Ishii, Shigeru, Miyagi, JP;  
Hirashima, Toshinori, Takasaki, Gunma, JP;  
Takahashi, Yasushi, Takasaki, Gunma, JP; Hata,  
Toshiyuki, Maebashi, Gunma, JP; Sato, Hiroshi,  
Takasaki, Gunma, JP; Ookawa, Keiichi, Takasaki,  
Gunma, JP

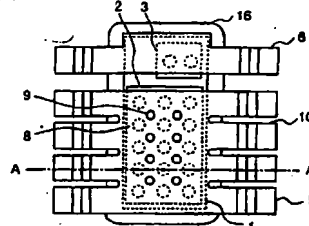
Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

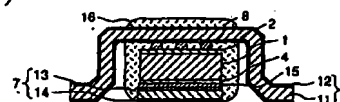
5A Halbleiter-Bauelement

57 Halbleiter-Bauelement, bei dem ein erstes Metallteil mit einer ersten Elektrode des Halbleiterelements über einen ersten edelmetallhaltigen Metallkörper, und ein zweites Metallteil mit einer zweiten Elektrode über einen zweiten edelmetallhaltigen Metallkörper verbunden ist.

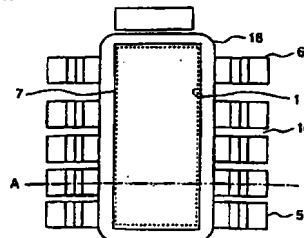
a) Ansicht von oben



b) Querschnitt



c) Ansicht von unten



DE 100 03 671 A 1

## HINTERGRUND DER ERFINDUNG

Die vorliegende Erfindung betrifft ein Halbleiter-Bauelement, insbesondere einen Halbleiterpackungsaufbau zur Erniedrigung des elektrischen Widerstands der Halbleiterpackung ohne Si-Chip.

Ein Beispiel einer konventionellen Transistorpackung ist in JP-A 8-64634 (1994) offenbart. Ein Halbleiterchip, auf dem elektronische Schaltkreise strukturiert sind, ist zur Wärmeabgabe mit seiner Rückelektrode an einen Unterbau (die pad) aufgeschweißt. Auf der Al-Elektrode an der Schaltungsebene des Chips ist ein Bump ausgebildet, an dem eine innere Zuleitung elektrisch und mechanisch angeschlossen ist. An den Unterbau ist ebenfalls eine innere Zuleitung angeschlossen, und der Chip, der Unterbau und ein Teil der Zuleitung sind durch eine Harzabdeckung versiegelt. Für den Fall, daß der Bump aus Lot besteht, wird die Zuleitungsseite mit Zinn (Sn), Gold (Au) oder Lötmetall oder dergleichen plattiert und durch Verschmelzen mit dem Lot des Bumps mit dem Bump verbunden. Wenn der Bump aus Gold besteht, wird die Zuleitung mit Zinn plattiert und über eine eutektische Au-Sn-Reaktion mit diesem verbunden. Die innere Zuleitung besteht aus drei Leitungen, jeweils eine für die Source-Elektrode, die Drain-Elektrode und die Gate-Elektrode. Die Zuleitung zur Source-Elektrode wird als Kammstruktur hergestellt. Am Kopf besteht ein Durchlaß durch das Harz.

JP-A-5-121615 (1993) offenbart eine oberflächenmontierbare Halbleiter-Packung mit drahtloser Struktur als weiteres konventionelles Beispiel. Drei externe Verbindungsanschlüsse sind mit den Elektrodenanschlüssen des Halbleiterchips verbunden. Zwei Elektroden sind auf der Oberseite des Chips durch Thermokompressions-Bonding mit Au-Kugeln an externe Verbindungsanschlüsse angeschlossen. Die Montage des Schaltkreissubstrats an die Substratanschlüsse erfolgt durch Verlöten der Spitzenregion der Leitungsanschlüsse, die vor- und rückseitig aus dem Chipmontageteil herausragen.

Bei Halbleiter-Packungen vom konventionellen Oberflächenmontagestandardtypus wird der Halbleiterchip durch Verlöten an den Unterbau der Drain-Zuleitung angeschlossen, und die Source-Elektrode und die Gate-Elektrode des Halbleiterchips werden über eine Al-Drahtverbindung an die Source- und Gate-Zuleitungen der externen Verbindungsanschlüsse angeschlossen. Der Chip, die jeweilige Zuleitung und ein Teil des Unterbaus sind in Harz eingegossen. Der Unterbau liegt am Boden des Harzkörpers frei, um einen Anschluß der Harzkörperstruktur an das Schaltkreissubstrat zu ermöglichen, und ist größer als die Harzeinfassung gemacht.

Nach der konventionellen Strukturierung der Unterbaue auf einem Halbleiterchip wurde die Verbindungsstruktur durch ein Harz aus leitfähigen Teilchen, vermischt mit Pb-angereichertem Lot niedriger Verformungsfestigkeit oder Ag-Partikeln, um den Chip vor hohen Spannungen zu bewahren, wenn er an ein Verbindungsteil angeschlossen wird, das aus einer Cu-Legierung besteht.

Der elektrische Widerstand einer Halbleiter-Packung ohne Si-Chip vom Oberflächenmontagetyp mit Plastikgehäuse bei einem konventionellen vertikalen Halbleiterelement lag zwischen zehn m $\Omega$  und mehreren zehn m $\Omega$  für eine Drahtverbindungsstruktur. Durch die Fortschritte der Halbleitertechnologie erniedrigt sich der AN-Widerstand des Elements von Jahr zu Jahr, und gegenwärtig wurde ein Bauelement mit einigen zehn bis zu wenigen m $\Omega$ /cm<sup>2</sup> entwickelt. Eine weitere Erniedrigung des Widerstands kann für

die Zukunft erwartet werden. Für diesen Fall ist eine Erniedrigung des elektrischen Widerstands der Halbleiter-Packung ohne Si-Chip zur Verbesserung der Funktionsweise der Halbleiter-Packung unerlässlich, da sonst der elektrische Widerstand der Halbleiter-Packung ohne Si-Chip größer als der Bauelementwiderstand wird. Der AN-Widerstand einer Halbleiter-Packung nach dem Stand der Technik ist in JP-A 8-64634 offenbart. Der Stand der Technik betrifft eine Packung vom Einsteck-Montagetyp. Die Packung vom Einsteck-Montagetyp ist von ihrer Größe her nicht eingeschränkt, und ein Unterbau von dicken und großen Ausmaßen kann verwendet werden, da die Verbindung zwischen dem Substrat und der Leitung strukturell fest ist. Daher ist eine Erniedrigung des elektrischen Widerstands einer Halbleiter-Packung ohne Si-Chip hier relativ leicht. Eine Packung vom Oberflächen-Montagetyp hat jedoch die Eigenschaft, daß die Dauerfestigkeit des Verbindungsteils schwächer ist als die von der Packung des Einsteck-Montagetyps, da sie eine Struktur aufweist, bei der die Leitungsspitzen, die auf beiden Seiten des Harzkörpers herausragen, mit den Substratanschlüssen durch Verlöten zweier Ebenen kleiner Fläche verbunden sind. Es ist daher notwendig, Wärmespannungen, die zwischen dem Gehäuse und dem Substrat entstehen und mit Wärmeentwicklung auf dem Chip über Deformation flexibler Leitungen einhergehen, zu absorbieren. Die Zuleitungen müssen daher dünn und schlank gemacht werden. Die Erniedrigung des elektrischen Widerstands der Halbleiter-Packung ohne Si-Chip auf diese Weise ist schwierig, da der elektrische Widerstand der Leitung selbst groß ist.

Für eine Packung vom Oberflächen-Montagetyp kann obiges Problem durch Anpassung einer Struktur gelöst werden, bei der der Unterbau des Chips direkt mit dem Schaltungssubstrat verlötet ist. Wenn jedoch die Position, an der die zum Anschluß an die Oberseite des Chips bestimmte Zuleitung aus dem Harzkörper herausragt, sich in der Höhe von der Position, an der der Unterbau hervorragt, unterscheidet, erhalten die Kontaktebenen der oberen und unteren Metalleinfassungen zur Einbringung des Harzes eine dreidimensionale Struktur, und das Problem der Herstellung der Metalleinfassungen wird schwierig. Dieses Problem wird signifikant, wenn der Zuleitungsrahmen in einem Matrixrahmen (mit X- und Y-Ausrichtung) besteht, der auf die gleichzeitige Herstellung einer großen Anzahl von Packungen ausgerichtet ist. Das Problem kann durch Verkleinerung des Unterbaus, der im Harzkörper eingefast werden soll, gelöst werden, aber dabei muß ein Druckstück zum Aufdrücken des Unterbaus auf die Rückfläche der Metalleinfassung auf diese gerichtet werden, um den Unterbau auf der unteren Fläche des Harzkörpers freizulegen. Wenn der Unterbau ausreichend groß ist, ist es möglich, ihn auf die Unterseite der Metalleinfassung aufzudrücken. Wenn jedoch der Unterbau genau so groß wie der Chip ist, kann das Druckstück nicht auf den Unterbau gelangen, und es entsteht das Problem, daß der Unterbau am Boden des Harzkörpers freiliegt. Daher ist es für den Fall einer kleinen Halbleiter-Packung, bei der die Größe des Unterbaus mit der des Chips übereinstimmt, schwierig, die Struktur in einer Weise zusammenzustellen, in der der gegenwärtig als externer Verbindungsanschluß der Rückelektrode fungierende Unterbau im Harzkörper enthalten ist.

Auf der anderen Seite wurde eine Lötverbindung oder eine zusammenhängende Struktur mit einem Kunstharz mit leitfähigen Partikeln konventionellerweise zum Anschluß auf der Rückseite des Chips mit externen Verbindungsanschlüssen wie einem Unterbau oder anderem angepaßt. Die Lötverbindung ist die hinsichtlich elektrischem Widerstand, Wärmeleitfähigkeit und Wärmeleitungsbeständigkeit über-

legene Verbindungsstruktur. Es wird jedoch gegenwärtig aus Umweltgründen keine Pb-Verwendung erwünscht, und die konventionellen Lötmaterialien mit Pb müssen durch neue Verbindungsmaterialien ohne Pb ersetzt werden. Es gibt verschiedene Lötmaterialien ohne Pb mit einer Soliduslinien-Temperatur unter 250°C, aber tatsächlich gibt es kein adäquates Lötmaterial ohne Pb mit einer Soliduslinien-Temperatur über 270°C, das gegen schweren Aufbau auf dem Substrat der Packung beständig ist. Eine einzige Ausnahme stellt das Lötmaterial Au-Si mit einer Soliduslinien-Temperatur von 370°C dar. Das Au-Si-Lot kann jedoch nicht als Lötmaterial für die Rückelektrode des Chips verwendet werden, erstens wegen der hohen Kosten und zweitens wegen der Entstehung von Rissen auf dem Chip während des Kühlschriffs nach dem Löten bei großen Chips durch die hohe Verformungsfestigkeit. Daher entsteht das Problem, daß es praktisch kein Lötmaterial ohne Pb gibt, das die Pb-Lötmaterialien ersetzen könnte. Auf der anderen Seite bleibt eine Harzverbindung mit leitfähigen Partikeln kurzzeitig gegen die für die Montage notwendige Temperatur, d. h. 270°C, thermisch beständig, hat aber geringe mechanische Festigkeit, da die Haftfestigkeit durch das Harz aufrechterhalten bleibt. Obwohl die Haftfestigkeit durch die Schrumpfkraft während des Aushärtens der Harzeinfassung erhöht wird, entsteht bei Packungen mit großer Fläche oder Packungen, die bei hohen Temperaturen verwendet werden, das Problem, daß sich der elektrische und der Widerstand mit der Materialverschlechterung des Harzes erhöhen, hervorgerufen durch Änderungen über lange Zeiträume oder Temperaturzyklen. Da insbesondere die Einfaßstruktur in einer Ebene, in der der Unterbau (externe Verbindungsanschlüsse) auf der Oberfläche des Harzkörpers freiliegt, eine Struktur darstellt, die keine Druckkraft der Harzeinfassung auf der Rückseite des Chips aufnehmen kann, entsteht das Problem, daß die Langzeitbeständigkeit im Verbindungsteil mit leitfähigen Partikeln weiter erniedrigt ist.

#### ZUSAMMENFASSUNG DER ERFINDUNG

Die vorliegende Erfindung wurde in Anbetracht der obigen Probleme entwickelt und zielt auf die Realisierung eines Halbleiter-Bauelements mit einem Packungsaufbau ab, der den elektrischen Widerstand der Halbleiter-Packung ohne Si-Chip verringern kann.

Das Halbleiter-Bauelement nach vorliegender Erfindung ist ausgestattet mit einem Halbleiterelement mit einem Halbleitersubstrat, einer ersten Elektrode auf der Vorderseite des Halbleitersubstrats und einer zweiten Elektrode auf der Rückseite des Halbleitersubstrats. Ein erstes Metallteil ist an die erste Elektrode über einen ersten edelmetallhaltigen Metallkörper, und ein zweites Metallteil an die zweite Elektrode über einen zweiten edelmetallhaltigen Metallkörper angeschlossen.

Nach der vorliegenden Erfindung kann der elektrische Widerstand der Halbleiter-Packung ohne Si-Chip erniedrigt werden, da das erste und zweite Metallteil an die Elektroden des Halbleiterelements über Metallkörper, die jeweils Edelmetall enthalten, angeschlossen sind.

Nach der obigen Zusammenstellung sind der Oberflächenteil des ersten Metallteils und der Oberflächenteil des zweiten Metallteils zur externen Verdrahtung vorzugsweise auf etwa derselben Ebene angeordnet. Etwa dieselbe Ebene bedeutet z. B. die Ebene des Verdrahtungs- oder Schaltkreissubstrats verschiedener elektronischer Bauelemente, auf der elektronische Teile montiert werden. Dementsprechend kann das Halbleiter-Bauelement in der Ebene der Verdrahtung oder des Schaltkreissubstrats montiert werden.

Am ersten Metallkörper ist eine aus der ersten Elektrode

oder dem ersten Metallteil des Halbleiter-Bauelements herausragende Elektrode ausgebildet. An der herausragenden Elektrode bestehen Bump-Elektroden oder Kugelelektroden aus einem Edelmetall wie Gold (Au) oder Silber (Ag) oder anderem. Zum Erniedrigen des elektrischen Widerstands der Halbleiter-Packung ohne Si-Chip wird eine Mehrzahl der vorragenden Elektroden vorzugsweise in gleichen Intervallabständen zueinander auf der ganzen Oberfläche des Verbindungszwischenstücks zwischen der ersten Elektrode und dem ersten Metallteil angeordnet.

Bezüglich des zweiten Metallkörpers kann eine Metallschicht im Verbindungszwischenstück zwischen der zweiten Elektrode und dem zweiten Metallteil verwendet werden. Die Metallschicht entsteht vorzugsweise durch Verbindung der jeweiligen Edelmetallschichten auf der Verbindungsvorderseite der zweiten Elektrode und dem zweiten Metallteil. Als Material für die Edelmetallschicht kann Gold (Au), Silber (Ag), Platin (Pt), Palladium (Pd) und ähnliches oder eine Legierung mit den obigen Elementen als Hauptkomponente verwendet werden. Eine Schicht aus mehreren Edelmetallarten oder Mehrschichten der Legierungsschicht sind auch verwendbar. Außerdem können die Bump-Elektrode oder die Kugelelektrode aus einem Edelmetall wie Gold (Au) oder Silber (Ag); Silber-(Ag)-Partikeln vermischt mit Kunstharz; einem Silberteil (Ag) in Platten-, Schicht- oder Netzwerkform; und einem Silberteil in Platten- oder Schichtform mit Erhebungen und Vertiefungen oder Löchern darin; zwischen der Edelmetallschicht auf der Seite der zweiten Elektrode und der Edelmetallschicht auf der Seite des zweiten Metallteils eingeschoben sein. Für die andere Metallschicht wird vorzugsweise eine Legierungsschicht mit Edelmetall als Hauptkomponente, deren Soliduslinien-Temperatur höher als 400°C ist, verwendet. Für die Legierungsschicht kann als Material eine Legierung aus Silber (Ag) und Zinn (Sn) mit Silber als Hauptkomponente verwendet werden.

Die Verbindungsoberfläche der ersten und zweiten Elektrode und des ersten und zweiten Metallteils des Halbleiter-Bauelements kann mit einer Edelmetallschicht versehen sein. Für die obige Edelmetallschicht kann als Material Gold (Au), Silber (Ag), Platin (Pt), Palladium (Pd) und ähnliches oder eine Legierung, die eines der obigen Elemente als Hauptkomponente enthält, verwendet werden. Als Material für die erste und zweite Elektrode des Halbleiter-Bauelements ist Aluminium oder eine Aluminiumlegierung wie Aluminium-Silizium verwendbar.

Die ersten und zweiten Metallteile schließen die ersten und zweiten Elektroden des Halbleiterelements elektrisch an die externen Elektroden, das Verdrahtungssubstrat, das Schaltkreissubstrat und anderes an. Die ersten und zweiten Metallteile sind, z. B. Leitungsdraht, Leitungselektroden oder Anschlüsse des Unterbaus, die Teil der Halbleiter-Packung sind, oder andere, oder Teile dieser Elemente. Um den elektrischen Widerstand der Halbleiter-Packung ohne Si-Chip zu erniedrigen, enthält das erste Metallteil vorzugsweise mehrere Teile, die aus dem Stück, das mit der ersten Elektrode verbunden ist, herausragen, und von denen eines ein Oberflächenteil zur Verbindung mit der externen Verdrahtung aufweist. Für das an das Halbleiter-Bauelement angeschlossene Schaltkreissubstrat oder Verdrahtungssubstrat wird jeweils der oben beschriebene Oberflächenteil des ersten Metallteils mit einem leitfähigen Anteil (z. B. Kupferfolie) zur elektrischen Verbindung ausgestattet. Diese Leitungsanteile werden elektrisch an das Schaltkreissubstrat oder das Verdrahtungssubstrat angeschlossen. Als Leitungsteil des gedruckten Substrats kann z. B. ein dauerhafter Leiter (z. B. Kupfer) verwendet werden.

Die Zusammensetzung des Halbleiter-Bauelements nach

der vorliegenden Erfindung wie oben beschrieben kann auf Halbleiter-Bauelemente vom harzversiegelten Typ oder vom harzgefüllten Typ angewandt werden, wobei das Halbleiterelement und der erste und zweite Metallkörper mit einem isolierenden Material umfaßt sind. In diesen Fällen weist die Rückseite der mit der ersten Elektrode verbundenen Fläche des ersten Metallkörpers vorzugsweise einen herausragenden Teil zum Anschluß an die externe Verdrahtung auf. Zusätzlich zur oben beschriebenen Zusammensetzung wird die Verbindungsfläche des Halbleiterelements als schaltkreisbildende Ebene (z. B. als Ebene, auf der die Hauptstromelektrode oder die Steuerelektrode des Schaltelements eines vertikalen Halbleiters gebildet ist), und die erste Elektrode vorzugsweise als Hauptstromelektrode verwendet. Nach dem Halbleiter-Bauelement, bei dem das Halbleiterelement und das erste und zweite Metallteil mit einem isolierenden Material umfaßt sind, kann die Rückseite der Verbindungsfläche des zweiten Metallteils, das mit der zweiten Elektrode verbunden ist, einen herausragenden Teil zur Verbindung mit der externen Verdrahtung aufweisen. Als isolierendes Material können Keramiken oder andere Isolatoren zusätzlich zu verschiedenen Harzen verwendet werden.

Die verschiedenen oben beschriebenen Zusammenstellungen sind konkurrierend verwendbar. Einige Zusammenstellungen weisen jedoch von Haus aus funktionelle Vorteile bei der Erniedrigung des elektrischen Widerstands der Halbleiter-Packung ohne Si-Chip auf, so wie das im folgenden beschriebene Halbleiter-Bauelement der vorliegenden Erfindung.

Das andere Halbleiter-Bauelement der vorliegenden Erfindung mit dem Halbleiterelement mit erster und zweiter Elektrode auf der Vorder- bzw. Rückseite des Halbleitersubstrats kann auf eine der folgenden Weisen zusammengesetzt sein:

- 1) Zusammensetzung, bei der die zweite Elektrode und das zweite Metallteil über eine Metallschicht verbunden sind; die Metallschicht aus einer Verbindung von Edelmetallschichten besteht, von denen sich jeweils eine auf der Verbindungsvorderseite der zweiten Elektrode, und eine andere auf der Verbindungsvorderseite des zweiten Metallteils befindet.
- 2) Zusammensetzung, bei der die zweite Elektrode und das zweite Metallteil über eine Legierungsschicht verbunden sind; die Legierungsschicht besteht aus einer Legierung mit Edelmetall als Hauptkomponente, deren Soliduslinien-Temperatur größer als 400°C ist.
- 3) Zusammensetzung, bei der das erste Metallteil mehrere Teile enthält, die aus dem Verbindungsteil mit der ersten Elektrode herausragen und von denen jedes ein Oberflächenstück zur Verbindung mit der externen Verdrahtung aufweist.

Die Zusammensetzungen 1), 2) oder 3) können parallel verwendet werden.

Jedes der Halbleiter-Bauelemente der vorliegenden, oben beschriebenen Erfindung kann an verschiedene Halbleiterelemente, wie MOS-(Metall-Oxid-Halbleiter)-Feldeffekttransistor, MIS-(Metall-Isolator-Halbleiter)-Feldeffekttransistor, bipolaren Transistor, bipolaren Transistor mit isoliertem Gate, Diode oder integrierte Schaltkreise oder ähnliches, angeschlossen werden. Die Zusammenstellung jedes der Halbleiter-Bauelemente der vorliegenden Erfindung wird vorzugsweise an ein Halbleiterelement angeschlossen, bei dem die erste und zweite Elektrode als ein Paar von Hauptstromelektroden dienen; und an ein Halbleiter-Bauelement von vertikalem Typ, wie einem Power-MOSFET

und Power-Transistor, bei dem die ersten und zweiten Elektroden als Hauptstromelektroden verwendet werden, und der Hauptstrom vertikal durch das Halbleitersubstrat in Richtung der ersten Elektrode auf der Vorderseite zur zweiten Elektrode auf der Rückseite oder umgekehrt läuft. Für diesen Fall kann der AN-Widerstand oder die AN-Spannung zwischen den Anschlüssen, die die Packung umschließen, erniedrigt werden, begleitet von einer niedrigen AN-Widerstandscharakteristik des Halbleiterelements.

Nach dem Halbleiter-Bauelement der vorliegenden Erfindung wird die Verbindungsstärke am Verbindungsteil Au-Bump/Al-Elektrode verbessert, indem der Al-Film zwischen dem Au-Bump/Si-Substrat mit einer Au-Al-Verbindung über die gesamte Dicke und mehr als 80% der Verbindungsfläche durch Wärmebehandlung des Verbindungsstücks Au-Bump/Al-Elektrode bei hoher Temperatur ersetzt wird. Weiterhin wird die Temperaturzyklus-Lebensdauer durch eine Struktur verbessert, bei der dem Verbindungsstück durch Auffüllen des Harzes zwischen der Elektrodenleitung und dem Chip eine Kompressionslast zugefügt wird.

#### KURZE BESCHREIBUNG DER ZEICHNUNGEN

Fig. 1 zeigt Zeichnungen zu einem Ausführungsbeispiel der Halbleiter-Packung nach vorliegender Erfindung,

Fig. 2 ist eine Zeichnung, die ein anderes Ausführungsbeispiel der Halbleiter-Packung nach vorliegender Erfindung zeigt,

Fig. 3 zeigt ein weiteres Ausführungsbeispiel der Halbleiter-Packung der vorliegenden Erfindung,

Fig. 4 zeigt weitere Zeichnungen eines Ausführungsbeispiels der Halbleiter-Packung nach vorliegender Erfindung,

Fig. 5 zeigt die Skizze eines Ausführungsbeispiels des Zuleitungsrahmens, der im Halbleiter-Bauelement der vorliegenden Erfindung verwendet wird,

Fig. 6 ist eine Skizze eines Ausführungsbeispiels der Anordnungsstruktur und des Fertigungsverfahrens der Halbleiter-Packung der vorliegenden Erfindung,

Fig. 7 zeigt ein Ausführungsbeispiel der Rahmenstruktur der Zuleitung zur Anordnung der Halbleiter-Packung nach vorliegender Erfindung;

Fig. 8 zeigt ein Ausführungsbeispiel des Harzeinfassungsverfahrens der Halbleiter-Packung nach vorliegender Erfindung,

Fig. 9 zeigt eine Skizze des Fertigungsablaufs der Halbleiter-Packung nach einem Ausführungsbeispiel der vorliegenden Erfindung,

Fig. 10 zeigt Skizzen der Fertigungsstruktur eines Ausführungsbeispiels der Halbleiter-Packung ohne Pb der vorliegenden Erfindung,

Fig. 11 zeigt Zeichnungen der Halbleiter-Packung ohne Pb in einer Ausführungsform der vorliegenden Erfindung,

Fig. 12 zeigt eine Ausführungsform des Verbindungsstücks ohne Pb an der Rückelektrode des Chips der vorliegenden Erfindung,

Fig. 13 zeigt eine Ausführungsform des Verbindungsstücks ohne Pb an der Elektrode auf der Rückseite des Chips der vorliegenden Erfindung,

Fig. 14 zeigt Skizzen einer weiteren Ausführungsform des Verbindungsstücks ohne Pb an der Elektrode auf der Rückseite des Chips nach vorliegender Erfindung,

Fig. 15 zeigt ein weiteres Ausführungsbeispiel der Halbleiter-Packung der vorliegenden Erfindung,

Fig. 16 zeigt ein weiteres Ausführungsbeispiel der Halbleiter-Packung der vorliegenden Erfindung,

Fig. 17 zeigt ein weiteres Ausführungsbeispiel der Halbleiter-Packung der vorliegenden Erfindung,

Fig. 18 zeigt eine Skizze eines Ausführungsbeispiels des

Verdrahtungssubstrats auf dem Halbleiter-Bauelement der vorliegenden Erfindung.

Fig. 19 zeigt ein Ausführungsbeispiel der elektronischen Bauelementanordnung der Halbleiter-Packung nach der vorliegenden Erfindung.

Fig. 20 zeigt ein Stromleitungsmodell der Halbleiter-Packung.

Fig. 21 zeigt Skizzen zur fundamentalen Struktur der Halbleiter-Packung der vorliegenden Erfindung.

Fig. 22 zeigt Skizzen eines Ausführungsbeispiels des Aufbaus der Transistorpackung der vorliegenden Erfindung.

Fig. 23 zeigt ein weiteres Ausführungsbeispiel des Aufbaus der Transistorpackung der vorliegenden Erfindung.

Fig. 24 zeigt ein weiteres Ausführungsbeispiel des Aufbaus der Transistorpackung der vorliegenden Erfindung.

Fig. 25 zeigt ein weiteres Ausführungsbeispiel des Aufbaus der Transistorpackung der vorliegenden Erfindung.

Fig. 26 zeigt eine Skizze eines Ausführungsbeispiels der Querschnittsstruktur des Verbindungsfilms zum Unterbau der vorliegenden Erfindung.

Fig. 27 zeigt Skizzen eines weiteren Ausführungsbeispiels der Querschnittsstruktur des Verbindungsfilms am Unterbau der vorliegenden Erfindung.

Fig. 28 zeigt Skizzen eines Ausführungsbeispiels des Bonding-Verfahrens, das den Unterbau-Verbindungsfilm der vorliegenden Erfindung verwendet.

Fig. 29 zeigt einen Graphen mit experimentellen Daten zur Beziehung zwischen der Festigkeit des Au/Al-Verbindungsstücks und der Verweilzeit bei einer hohen Temperatur.

Fig. 30 zeigt einen Graphen mit experimentellen Daten zur Beziehung zwischen der Festigkeit des Au/Al-Verbindungsstücks und der Verweilzeit bei einer hohen Temperatur.

Fig. 31 zeigt die Skizze eines Ausführungsbeispiels der Legierung des Bumps auf der Vorderseite der Elektrode mit einem Metall mit niedrigem Schmelzpunkt.

Fig. 32 zeigt ein Ausführungsbeispiel der Anbringung der Halbleiter-Packung, das in Fig. 31 gezeigt ist, auf ein Verdrahtungssubstrat.

Fig. 33 zeigt eine Skizze einer möglichen Anordnung der Halbleiter-Packung der vorliegenden Erfindung auf das Verdrahtungssubstrat unter Weglassung des Unterbaus.

Fig. 34 zeigt ein Ausführungsbeispiel der Anbringung einer Halbleiter-Packung der vorliegenden Erfindung vom Ebenen-Montage-Typ auf ein Verdrahtungssubstrat.

Fig. 35 zeigt ein zur Fertigung der Halbleiter-Packung der vorliegenden Erfindung verwendetes Halbleiterelement.

#### BESCHREIBUNG BEVORZUGTER AUSFÜHRUNGS- BEISPIELE

Das erste Ausführungsbeispiel der vorliegenden Erfindung ist eine Struktur, die in folgenden Schritten angefertigt wurde: direktes Anschließen einer Gate-Elektrode und einer Source-Elektrode eines Transistorchips an ein Metallteil zum externen Anschließen (Leitung) über mehrere Au-Bumps, die in optimaler Weise angeordnet sind; elektrisches und thermisches Verbinden einer Drain-Elektrode auf der Rückseite des Chips mit einem Metallteil zum externen Anschluß (Unterbau), um die Source-Elektrode und das Metallteil der Drain-Elektrode (Unterbau) in eine vielschichtige Packung einzuschließen. Nach der obigen Struktur können die in der Packung enthaltenen Ebenen des Metallteils durch Verlöten an die Anschlußebene eines Verdrahtungssubstrats angeschlossen werden. Die Struktur ist vorzugsweise so angeordnet, daß die Leitungsspitzen oder der Unterbau aus bei-

den Seitenflächen der Packung herausragen und ein Andrücken des in der Packung enthaltenen Metallteils an die Rückfläche der Metallfassung über das aus der Packung herausragende Metallteil möglich ist.

Ein zweites Ausführungsbeispiel der vorliegenden Erfindung besteht in einer Struktur, in der die Drain-Elektrode mit dem mit einem Edelmetall plattierten Metallteil (Unterbau) über einen Edelmetallbump und/oder eine maschenartige Schicht von Edelmetall und/oder Edelmetallteilchen, direkt über eine dicke Edelmetallplatte mit einer Härte von weniger als 60 Hv oder über eine Legierungsschicht mit einer Soliduslinien-Temperatur von wenigstens 400°C, die ein Edelmetall als Hauptkomponente enthält, verbunden ist. Das Verbindungsstück kann über Kompressions-Bonding durch Erhitzen und Ultraschallvibration erreicht werden. Bei großer Chipgröße wird die Struktur vorzugsweise mit Au-Bumps auf der Source-Elektrode und der Gate-Elektrode auf der Schaltkreisfläche des Chips angeordnet und mit den Elektroden direkt auf der mit Edelmetall plattierten Zuleitung verbunden. Die Struktur ist außerdem so angeordnet, daß die Größe der Zuleitung auf der Seite der Source-Elektrode der Größe des Unterbaus auf der Rückfläche des Chips gleich ist, und die Teile symmetrisch angeordnet sind, um keine Verbindungsspannungen auf dem Chip entstehen zu lassen.

Das dritte Ausführungsbeispiel der vorliegenden Erfindung besteht in einer Struktur und einem Fertigungsverfahren für diese Struktur, das aus folgenden Schritten besteht: vorgezogene Bildung einer großen Anzahl von Au-Bumps auf der Source-Elektrode und der Gate-Elektrode aus Al auf dem Chip; Montage des Chips, ausgerichtet auf die jeweiligen mit Edelmetall plattierten Zuleitungen; Anbringung des Edelmetallteils mit kleinerer Härte als der darauf befindliche Au-Bump; Anbringung eines mit Edelmetall plattierten Unterbaus darauf; und Verbindung aller Kontaktbegrenzungsflächen gleichzeitig durch Erhitzen, Belasten und Ultraschallanregen während der Verwendung eines Bondingwerkzeugs, das mit Druck und Ultraschallvibration arbeitet, auf dem Unterbau.

Das erste Ausführungsbeispiel wird im folgenden detailliert beschrieben.

Ein Stromflußmodell der Halbleiter-Packung ist in Fig. 20 gezeigt. Die jeweiligen Bezugszeichen entsprechen den folgenden Teilen:

- 184 externer Verbindungsanschluß für Drain,
- 186 Verbindungsteil,
- 182 Elektrode auf der Rückfläche des Chips,
- 180 Chip,
- 181 Al-Elektrode,
- 185 metallischer Bump, und
- 183 externer Verbindungsanschluß für Source (Leitung).

Der elektrische Widerstand R zwischen dem externen Verbindungsanschluß für Source und dem externen Verbindungsanschluß für Drain ist durch die folgende Gleichung (1) gegeben:

$$R = R_1 + R_2 + R_3 + R_4 + R_5 + R_6 + R_7 \quad (1)$$

Den Teil, den man durch Weglassen des internen Widerstands auf dem Chip R<sub>4</sub> in Gleichung (1) erhält, kann man als elektrischen Widerstand der Halbleiter-Packung ohne Si-Chip betrachten. Der Widerstand des Bumps R<sub>6</sub> kann durch folgende Gleichung (2) ausgedrückt werden:

$$R_6 = (\rho \times h/S)/n \quad (2)$$

wobei

p: spezifischer Widerstand des Bumps,  
h: Höhe des Bumps,  
S: Querschnittsfläche,  
n: Anzahl der Bumps.

Au-Bumps haben einen regulären Durchmesser von 150 µm und eine Dicke von 20 µm, wenn der Au-Bump durch das Ball-Bonding-Verfahren gebildet wurde, was eine kostengünstige direkte Anbringung des Bumps direkt auf dem Al-Pad ermöglicht. Der Widerstand des Bumps im obigen Fall wird mit  $(0,026/n) \text{ m}\Omega$  ausreichend klein. Der Widerstand R5 des Al-Elektrodenfilms kann durch folgende Gleichung (3) ausgedrückt werden:

$$R5 \approx (p/4\pi) \ln(r2/r1) \quad (3)$$

wobei

p: spezifischer Widerstand des Elektrodenfilms,  
t: Dicke des Elektrodenfilms,  
r2: äußerer Durchmesser der Elektrode,  
r1: Durchmesser des Bumps.

Der äußere Durchmesser der Elektrode ist ungefähr proportional zu  $1/(n^{1/2})$ , wenn n Bumpstücke gleichmäßig angeordnet sind. Daher nähert sich r2/r1 mit Erhöhung von n eins, und R5 kann ausreichend erniedrigt werden, indem man die Dicke des Elektrodenfilms und die Anzahl der Bumps erhöht. Der Widerstand der externen Verbindungsanschlüsse (R1 + R7) kann mit der folgenden Gleichung (4) einfach ausgedrückt werden:

$$(R1 + R7) = (p \times L/S) \quad (4)$$

wobei

p: spezifischer Widerstand der Zuleitung,  
L: stromtragende Länge der Zuleitung,  
S: stromtragende Querschnittsfläche.

Der Widerstand der externen Verbindungsanschlüsse wird etwa 1,4 mΩ für den Fall einer regulären SOP-Packung zur Oberflächenmontage (Dicke: 0,16 mm, Breite: 0,3 mm, Länge: 2 mm x 2). D. h., auf einem Niveau, in dem der elektrische Widerstand der Halbleiter-Packung ohne Si-Chip weniger als 1 mΩ beträgt, kann der elektrische Widerstand der Halbleiter-Packung ohne Si-Chip nicht durch alleiniges Anpassen der Bumpstruktur erniedrigt werden, sondern es müssen auch die externen Verbindungsanschlüsse angepaßt werden.

Dann wird nach dem Halbleiter-Bauelement der vorliegenden Erfindung eine Struktur verwendet, die die Beständigkeit des Verbindungsstücks der externen Verbindungsanschlüsse mit dem Verdrahtungssubstrat zusätzlich sicherstellt, um den Widerstand der externen Verbindungsanschlüsse zu erniedrigen.

Die fundamentale Struktur des Halbleiter-Bauelements 1 der vorliegenden Erfindung wird in Fig. 21 gezeigt. Die einzige Methode zur Erniedrigung des Widerstands der externen Verbindungsanschlüsse besteht in der Erhöhung der Querschnittsfläche der Stromleitung und in der Erniedrigung der Länge der Stromleitung. Daher ist einer der externen Verbindungsanschlüsse so strukturiert, daß er den Strom in Dickenrichtung trägt. In diesem Fall ist die stromtragende Querschnittsfläche mit einigen bis einigen zehn mm<sup>2</sup> im Vergleich mit der stromtragenden Länge (0,1 mm bis 0,2 mm) ausreichend groß, und der Widerstand des ersten externen Verbindungsanschlußteils 194 kann auf weniger als 1 µΩ gebracht werden. Das andere, zweite externe Verbindungsanschlußteil 193 kann eine Struktur zur Verbindung mit dem Anschluß des Verdrahtungssubstrats aufweisen, indem es entlang der Seitenflächen des Chips hinabreicht, und die stromtragende Länge wird zu wenigen Milli-

metern. Die zweifach stromtragende Querschnittsfläche kann jedoch durch Verwenden beider Seiten der Packung verwirklicht werden. Nach der vorliegenden Struktur kann ein breites und dickes Teil für den zweiten externen Verbindungsanschluß verwendet werden, aus Gründen, die später beschrieben werden. Daher kann die mehrfach stromtragende Querschnittsfläche verwirklicht werden und der elektrische Widerstand auf etwa ein Zehntel dessen einer konventionellen Packungsstruktur erniedrigt werden.

Die konventionelle Packungsstruktur weist das Problem auf, daß, wenn die Rigidität des zweiten Verbindungsanschlusses erhöht wird, die Langzeitbeständigkeit an der Verbindungstelle mit dem Verdrahtungssubstrat verschlechtert wird. Nach der Struktur der vorliegenden Erfindung kann jedoch die Temperaturzyklenbeständigkeit sichergestellt werden, sogar wenn die Rigidität des zweiten Verbindungsanschlusses aus den unten beschriebenen Gründen hoch ist. Die Gründe bestehen darin, daß der Temperaturunterschied im Substrat klein ist, weil die Struktur so angeordnet ist, daß die Fläche des ersten externen Verbindungsanschlusses am Boden des Harzkörpers ausreichend groß ist, und der Chip, d. h. eine Wärmequelle, und das Verdrahtungssubstrat nahe beieinanderliegen, und daß thermische Verformungen gering sind, weil der Verbindungsanschluß aus einer Kupferlegung besteht, die einen dem des Substrats ähnlichen thermischen Expansionskoeffizienten aufweist. Der Absolutwert der thermischen Verformung, die am Verbindungsstück des ersten und zweiten Verbindungsanschlusses mit dem Substrat erzeugt wird, ist folglich gering. Am Verbindungsstück des zweiten Verbindungsanschlusses mit dem Substrat wird mit steigender Temperatur eine Andrückkraft aufgebaut, weil ein Unterschied zum Kupferteil in der thermischen Expansion in der Höhenrichtung des Harzkörpers korrespondierend zu den abgewinkelten Beinen besteht, und die Temperaturzyklusbeständigkeit auf Grundlage dieses Effekts im Vergleich zu konventionellen Packungen verbessert ist, und die Rigidität des zweiten Verbindungsanschlusses verbessert werden kann.

Während des Einformschritts zur in Fig. 21 gezeigten Anordnung der Packung, kann der erste Verbindungsanschlußteil 194 über den Edelmetallbump 195 durch Herunterdrücken des zweiten Verbindungsanschlusses mit der Seitenwand des oberen Druckteils auf die Unterfläche der Metall-einfassung gedrückt werden. Die Packung, bei dem die Verbindungsanschlüsse mit Sicherheit auf der Hinterfläche des Harzkörpers freiliegen, kann daher ohne irgendwelche zusätzliche spezielle Maßnahmen am Unterbau gefertigt werden. In diesem Fall ist insbesondere der Punkt wichtig, daß der zweite über den Bump verbundene Verbindungsanschlußteil an beiden Seitenflächen aus dem Harzkörper hervorragt. Beim beidseitigen Herunterdrücken des zweiten Anschlußteils kann eine Schrägstellung des ersten Anschlußteils und ein Absplittern des Bumps verhindert werden, und eine fehlerlose Harzeinfassung mit hohem Produktionsertrag wird erreichbar. Bei einer Struktur zum Herunterdrücken auf einer Seite entsteht ein Moment zwischen dem Kontaktteil des heruntergedrückten zweiten Anschlußteils und dem unteren Druck-Kontaktteil des ersten Anschlußteils. Danach zerteilt sich der Verbindungsteil durch den Aufbau einer Dehnspannung an einem Teil des Bumpverbindungsstücks, und es fließt durch das Trennen einer Seite des ersten Anschlußteils fälschlicherweise Harz in die Verbindungsebene. Eine fehlerlose Harzeinfassung mit hohem Produktionsertrag kann daher nicht gewährleistet werden.

Darauf wird das zweite Ausführungsbeispiel detailliert erklärt. Charakteristisch für den Anschluß auf der Rückfläche des Chips sind die folgenden vier Punkte:

- 1) elektrisch leitfähig und thermisch hochleitfähig zum externen Verbindungsanschluß (Unterbau),
- 2) lange Temperaturzyklen-Lebensdauer,
- 3) Beständigkeit gegen die Löttemperatur bei der Montage der Packung auf das Substrat, und
- 4) Möglichkeit, die Breitfläche auf der Rückfläche des Chips im Kurztakt einer Massenfertigungslinie ohne unerwünschte Einflüsse anzuschließen.

Da kein geeignetes Lötmaterial mit hohem Schmelzpunkt ohne Pb erhältlich ist, muß eine Verbindung, die die obigen Charakteristiken erfüllt, durch Verwenden anderer Materialien als Lötmetall erreicht werden. Wenn Edelmetall als Verbindungsmaterial verwendet wird, ist die thermische Leitfähigkeit des Verbindungsmaterials etwa zehnmal größer als die eines Lötmittels. Demnach kann, sogar wenn die Verbindung dieselbe Dicke aufweist, die gleiche Wärmeübertragungscharakteristik mit einem Zehntel der Verbindungsfläche erreicht werden, wenn die Verbindungsteile gleichförmig auf der Rückfläche des Chips verteilt sind. D. h., es ist signifikant vorteilhaft hinsichtlich der Wärmeleitungscharakteristiken.

Bezüglich der Temperaturzyklus-Lebensdauer ist entscheidend, was die Komponente an thermischen Spannungen absorbieren kann, die durch den Unterschied der thermischen Expansion auf dem Chip und dem externen Verbindungsanschluß (Unterbau) über Deformation entstehen. Bei konventionellen Lötmetallen konnte ein Großteil der Spannungen durch Deformation des Lots abgefangen werden, weil die Verformungsfestigkeit des Lots sehr gering ist, und die Schädigung an der Lötstelle auftrat. In diesem Fall wurde die Verformung kaum auf den Chip übertragen, und es entstand der Vorteil, daß die Stabilität und Verlässlichkeit des Chips aufrechterhalten wurde. Auf der anderen Seite ist die Verformungsfestigkeit bei Verwendung eines Edelmetallmaterials für die Verbindung höher als bei einem Lot und geringer als bei Si und Cu. Dementsprechend erhöht sich die Verformung auf dem Chip und dem Unterbau, aber die Lebensdauer des Verbindungsstücks wird verbessert. Das Ausmaß an Verformung am Chip kann durch das Einrichten von Höhlungen in der Edelmetallschicht beeinflusst werden, solange die Wärmeübertragungscharakteristiken davon nicht ernstlich beeinträchtigt werden. Eine praktische Maßnahme zum Einrichten der Höhlungen stellt die Verwendung von Maschenschichten, Teilchen oder einer Schicht mit Erhöhungen und Vertiefungen als Verbindungsmaterial dar.

Hinsichtlich des Wärmewiderstands besteht kein Problem. Der wichtigste Punkt ist die Einfachheit der Verbindung und Anfertigung. Wenn Edelmetalle miteinander über konventionelles Thermokompressions-Bonding verbunden wurden, war es notwendig, die Heiztemperatur im Bereich von 400°C bis 500°C einzurichten, um innerhalb kurzer Zeit verbinden zu können. Bei dieser Methode entstand in großem Umfang thermische Verformung während des Kühlschriffs, da die Temperaturdifferenz zur Raumtemperatur signifikant war, und man ernstlich Gefahr lief, Schädigungen zu verursachen, sogar für den Fall, daß die Chipgröße nicht auffällig groß war. Nach vorliegender Erfindung wurde ein Verfahren entwickelt, nach dem die Verbindungstemperatur auf höchstens 250°C spezifiziert wurde, um obiges Problem zu lösen, und Ultraschallvibration wird verwendet, um eine Verbindung bei dieser Temperatur sicherzustellen. Wenn jedoch der Chip über Thermoschall-Bonding-Verfahren an den Unterbau angeschlossen wird, entsteht das Problem, daß der Chip an einer Stelle beschädigt wird, an der die Schaltkreisebene des Chips in Kontakt mit einem harten Verbindungsvorsatz steht, da die Ultraschallvibration über ein Zusammendrücken des Unterbaus und des Chips zugegeben

wird, indem diese zwischen einer harten Heizvorrichtung und einem harten Verbindungsvorsatz gehalten wird. In der vorliegenden Erfindung wird obiges Problem gelöst, indem man einen Au-Bump auf der Elektrode an der Schaltkreiseite des Chips bildet; ein externes Verbindungsanschlußstück (Leitung) von gleicher Größe wie der Unterbau an der Schaltkreiseite anbringt; und eine Struktur bildet, in der der Chip nicht direkt in Kontakt mit dem harten Verbindungsvorsatz steht, um den Chip vor Schädigung zu bewahren. Wenn die Verbindungsstücke sowohl an der oberen als auch an der unteren Ebene des Chips vorgesehen sind, entsteht eine Veränderung der Verbindungsbeschaffenheit (Beschaffenheit, nach der die eine Seite eng anliegend verbunden ist und die andere Seite nicht gut verbunden ist). Beim Bonding-Verfahren über Ultraschallvibration entsteht, wenn die Verbindungsteile in Serie zum Verbindungsvorsatz angeordnet sind, eine selbstjustierende Funktion, so daß die relative Vibration an einer Stelle mit fortschreitender Verbindung an dieser Stelle eingeschränkt wird, und die relative Vibration an der anderen noch nicht verbundenen Stelle erhöht wird. Es können also folglich zwei Verbindungsstellen von etwa gleicher Festigkeit erhalten werden. Wenn man jedoch eine Vergrößerung der Verbindungsfläche auf der Rückfläche des Chips im Hinblick auf Wärmeübertragung wünscht, ist eine Veränderung der Verbindungsflächen über die Verwendung verschiedener Verbindungsmaterialien auf der Ober- und Unterfläche des Chips möglich; und die Verbindung auf der Seite der Schaltkreisebene des Chips wird mit einem Verbindungsmaterial ausgeführt, das eine höhere Verformungsfestigkeit aufweist, und die Verbindung auf der Seite der Rückfläche des Chips wird mit einem Verbindungsmaterial mit kleinerer Verformungsfestigkeit ausgeführt. Nach der oben dargelegten Verbindungsstruktur und dem zugehörigen Verfahren, wird die Verbindung an der Rückfläche des Chips mit hoher Funktionalität und Verlässlichkeit ohne die Verwendung von Pb möglich.

Die Funktionen und Vorteile des dritten Ausführungsbeispiels sind zu denen des zweiten Ausführungsbeispiels gleich. Die praktische Verbindungsdauer beträgt etwa einige Hundert Millisekunden ohne Mitrechnen der zum Transferieren und Positionieren notwendigen Zeit und ist kürzer als die für die konventionelle Mehrdraht-Bonding-Operation notwendige Zeitdauer. Es ist notwendig, zuvor die Au-Bumps auf der Al-Elektrode des Chips auszubilden, aber es beeinflusst nicht den Produktionstakt und hinsichtlich der Möglichkeit, den Anschluß des Unterbaus des Chips und die Verbindung gleichzeitig vorzunehmen, kann der Produktionstakt im Vergleich zum konventionellen Vorgehen erniedrigt werden.

#### (AUSFÜHRUNGSBEISPIELE)

Im folgenden sollen praktische Teile der obigen Ausführungsbeispiele der vorliegenden Erfindung detailliert unter Bezugnahme auf die Zeichnungen erklärt werden.

Fig. 1 zeigt ein Ausführungsbeispiel der Halbleiter-Packung nach vorliegender Erfindung.

Fig. 1(a) ist eine Ansicht von oben,

Fig. 1(b) ein Querschnitt und

Fig. 1(c) eine Ansicht von unten.

Nach den Zeichnungen besteht der Halbleiterchip 1 aus einem vertikalen MOS-Transistor der Größe 4 x 2 mm. Die Filmdicke der Al-Elektroden 2, 3 für Source und Gate betragen etwa 4 µm und Au wird auf die Fläche der Rückseite der Elektrode 4 aufgedampft, wodurch die Drain-Elektrode entsteht. Eine große Anzahl oder mehrere Au-Bumps 8 werden auf der Source- und Gate-Elektrode des Chips gleichförmig über ein Ball-Bonding-Verfahren ausgebildet, d. h. in der

Weise, daß die Bumps in ungefähr gleichen Intervallabständen über die gesamte Fläche der Elektroden verteilt angeordnet sind. Jeder der Leitungsanschlüsse 5, 6 für Source und Gate weist eine Struktur auf, bei der der Cu-Kern 11 mit einem Edelmetall 12 aus Pd/Au plattiert ist, und dessen Dicke 0,2 mm beträgt. Die Dicke des Leitungsanschlusses für Source 5 ist in etwa die gleiche wie die der Source-Elektrode 2. D. h., der Leitungsanschluß für Source 5 bedeckt beinahe die ganze Oberfläche der Source-Elektrode 2. Der Au-Bump auf dem Chip und die Pd-Au-Ebene jedes Leitungsanschlusses wird direkt über Bonding-Verfahren mit Thermoschall und Thermokompression bei einer Erwärmung auf 230°C verbunden. Die Größe des Au-Bumps, der über das Kompressions-Bonding-Verfahren angeschlossen wird, beträgt etwa 120 µm im Durchmesser und 40 µm in der Dicke. Der externe Verbindungsanschluß 7 zum Unterbau weist eine Struktur auf, bei der der Cu-Kern 13 mit einer Edelmetallschicht 14 aus Pd/Au umgeben ist, und dessen eine Seite außerdem über etwa 10 µm mit Ag 15 plattiert ist. Die Au-Ebene der Rückelektrode des Chips und die Ag-plattierte Ebene des Unterbauanschlusses ist direkt über Bonding-Verfahren mit Thermoschall und Thermokompression bei einer Temperatur von 230°C verbunden, genau so wie beim Au-Bump/Leitungsanschluß. Der Leitungsanschluß für Source ragt sowohl an der linken als auch an der rechten Seitenwand des Harzeinfassungskörpers 16 heraus und wird abgewinkelt hergestellt. Der sehr breite Leitungsanschluß, der rechts und links herausragt, wird mit dem Schlitz 10 und Öffnungen 9 an gegenüber dem Chip gelegenen Stellen versehen. Der Leitungsanschluß für Gate ragt ebenfalls über die linken und rechten Seitenwände des Harzeinfassungskörpers 16 hinaus. Der Unterbauanschluß für Drain liegt am Boden des Harzkörpers frei. Die untere Ebene des Unterbauanschlusses (eine Kontaktebene mit dem Verbindungsanschluß auf dem Verdrahtungssubstrat) und die unteren Ebenen (die gleiche Kontaktebene) der Leitungsanschlüsse für Source und Gate, die abgewinkelt hergestellt werden, werden von gleicher Höhe gefertigt, d. h. sie bilden die gleiche Ebene.

Im vorliegenden Ausführungsbeispiel kann der elektrische Widerstand der Halbleiter-Packung ohne Si-Chip signifikant durch deren Strukturierung erniedrigt werden, indem die Source-Elektrode und die Leitungsanschlüsse für Source an eine große Zahl von Au-Bumps, die gleichförmig angeordnet sind, angeschlossen wird; die Leitungsanschlüsse weisen eine große Breite auf und ragen sowohl auf der linken als auch auf der rechten Seite heraus; die Unterbauanschlüsse sind direkt über den Ag-plattierten Film an die Rückelektrode angeschlossen; die Querschnittsfläche des Strompfads zum Verdrahtungssubstrat ist groß; und die Leitungslänge ist sehr kurz (nur von der Dicke des Substrats). Demnach kann eine neue Halbleitervorrichtung mit einem unvorweggenommenen Halbleiter-Bauelement erhalten werden, das einen elektrischen Widerstand der Halbleiter-Packung ohne Si-Chip von weniger als 1 mΩ aufweist. Zusätzlich tritt der Vorteil auf, daß die Halbleiter-Packung eine bessere Langzeitbeständigkeit aufweist, weil das Vorliegen von Au-Bumps von 40 µm Dicke auf der Schaltkreisebene und des Ag-plattierten Films von 10 µm Dicke auf der Rückfläche des Chips an der Verbindungsstelle des Chips zum Cu-Anschluß ein Dämpfungsmaterial darstellt, das aus Au und Ag weiche Materialien (kleine Verformungsfestigkeit) im Vergleich zu Cu als Anschlußmaterial darstellen, und einen Effekt realisieren, der den Chip vor der Beeinflussung durch eine große Kraft bewahrt, und Au und Ag eine längere Temperaturzyklus-Lebensdauer als Lötmaterial haben. Wenn die Halbleiter-Packung auf dem Verdrahtungssubstrat angebracht wird, wird sie über eine breite Fläche des Unterbau-

anschlusses mit dem Substrat verbunden und der Chip, d. h. ein Heizer, und das Substrat sind über die nach bevorzugter thermischer Leitungsbeschaffenheit kürzeste Distanz verbunden. Die zwischen dem Substrat und der Packung auftretende thermische Verformung ist demnach klein, weil die Temperaturdifferenz zwischen der Packung und dem Substrat klein ist und der thermische Expansionskoeffizient des Substrats und der thermische Expansionskoeffizient des Cu-Anschlusses einander ähnlich sind. Das hat den Vorteil, daß das Verbindungsteil der Halbleiter-Packung mit dem Verdrahtungssubstrat eine lange Temperaturzyklus-Lebensdauer und eine bessere Langzeitbeständigkeit aufweist. Außerdem kann, weil Öffnungen am Zuleitungsanschluß für Source über dem Chip vorgesehen sind, die Entstehung von Leerräumen im Harzeinfassungsschritt durch zwei Effekte verhindert werden, nämlich durch das Eintreten des Harzes in die Öffnungen und durch Gasabscheidung durch die Öffnungen, selbst wenn die Au-Bumps abgeflacht sind und die Lücke zwischen dem Leitungsanschluß und dem Chip verringert ist. Die Verlässlichkeit der Packung kann demzufolge aufrechterhalten werden.

Eine Halbleiter-Packung mit einer Verbindungsstruktur von hohem Wärmewiderstand und hoher Temperaturzyklusbeständigkeit kann präsentiert werden, da Au/Ag über einen Ag-plattierten Film als Verbindungsstruktur auf der Rückelektrode des Chips mit dem Unterbauanschluß über Thermoschall verbunden wird, was eine lötfreie Verbindung darstellt.

Hier beträgt die Größe des Au-Bumps 120 µm im Durchmesser. Es ist jedoch ein größerer Bump von etwa einigen Hundert µm im Durchmesser vorzuziehen, wenn eine solche Bildung des Bumps möglich ist. Mit einer Vergrößerung des Bumps kann der Widerstand weiter erniedrigt werden, die Verbindungsfestigkeit erhöht werden und der Vorteil geschaffen werden, daß sich der Produktionsertrag erhöht, weil ein Abschälen des Bump-Verbindungsteils durch eine externe Kraft während der Fertigung der Packung effektiv vermieden werden kann.

Fig. 2 zeigt ein Ausführungsbeispiel der Halbleiter-Packung der vorliegenden Erfindung, bei dem der Ag-Bump und die Chip-Unterbauverbindung über ein Kompressionsverfahren verbunden wurden. Nach Fig. 2 sind die Al-Elektrode 22 des Halbleiterchips 21 und der Leitungsanschluß 26 mit Edelmetall 25 plattiert und eng miteinander über die Au-Bumps 30 verbunden. Die Rückelektrode 23 des Chips und der Unterbauanschluß 29, der mit Edelmetall plattiert ist, sind miteinander über Ag-Bumps 31 verbunden. Die eine Seite des Leitungsanschlusses ist an einem Teil nahe der Seitenwand des Harzkörpers 32 abgeschnitten, und die andere Seite des Leitungsanschlusses ist abgewinkelt angefertigt und auf derselben Höhe angeordnet, wie der Unterbau, um eine Verbindung mit den Anschlüssen des Verdrahtungssubstrats zu ermöglichen.

Im vorliegenden Ausführungsbeispiel kann Deformation strukturell absorbiert werden, weil der Chip und der Unterbau über die Ag-Bumps verbunden sind. Daher ist die Temperaturzyklus-Lebensdauer an der Verbindungsstelle Unterbauanschluß/Chip signifikant lang, und eine Halbleiter-Packung ohne Pb, die aus Umweltgründen wünschenswert ist, von hoher Beständigkeit kann präsentiert werden. Die Fertigungsverlässlichkeit ist signifikant verbessert, da die thermische Verformung kaum die Lötverbindungsstellen der Verbindungsanschlüsse des Verdrahtungssubstrats betrifft. Die Größe der Packung kann auf eine dem Chip äquivalente Größe reduziert werden, die Dicke der Packung kann auf etwa 1 mm erniedrigt werden, und eine Halbleiter-Packung zur Oberflächenmontage, die zur Fertigung in hoher Dichte geeignet ist, kann präsentiert werden.

Fig. 3 zeigt ein Ausführungsbeispiel der Halbleiter-Packung nach vorliegender Erfindung, bei dem das Verfahren einer Ag-Pastenanbringung an der Chip-Unterbauverbindung angewandt wird. Nach Fig. 3 werden die Al-Elektrode 36 des Halbleiterchips 35 und der Leitungsanschluß 40, der mit Edelmetall 39 plattiert ist, über Au-Bumps 45 eng miteinander verbunden. Die Rückelektrode 37 des Chips und der Unterbauanschluß 43 werden miteinander über eine Ag-Paste 46 verklebt. Der Unterbauanschluß ist so strukturiert, daß der Cu-Kern 41 mit Pd/Au 42 plattiert ist, und seine Peripherie-Ebenen so mit Senken verarbeitet sind, daß sie einen Ankereffekt mit dem Umfassungsharz bewirken. Die Leitungsanschlüsse ragen auf beiden Seiten des Harzkörpers 47 heraus.

Nach dem vorliegenden Ausführungsbeispiel ergeben sich dieselben Vorteile wie in dem in Fig. 1 gezeigten Ausführungsbeispiel. Da die Peripherie-Ebenen des Unterbauanschlusses so geformt sind, daß der Unterbau in das Harz eingreift, kann der Unterbauanschluß über die Schrumpfkraft des Einfassharzes auf die Rückfläche des Chips gedrückt werden. Daher erhält man selbst bei Verwendung des Ag-Pastenverfahrens für die Chip/Unterbauverbindung, das die Fertigung vereinfacht, eine verlässliche Halbleiter-Packung.

Fig. 4 zeigt ein Ausführungsbeispiel der Halbleiter-Packung der vorliegenden Erfindung, bei dem die Packungsstruktur die Montage der Schaltkreisebene auf das Verdrahtungssubstrat ermöglicht. Nach Fig. 4 werden mehrere Au-Bumps 57 auf den Al-Elektroden 51 und 52 für Hauptstrom bzw. Steuerung der Schaltkreisebene des Halbleiterchips 50 gebildet, genau so wie in dem in Fig. 1 gezeigten Ausführungsbeispiel; und der externe Verbindungsanschluß für Hauptstrom 55 und Steuerung 56, die von zur jeweiligen Elektrode äquivalenter Größe und im Harzkörper 59 anbringbar sind, werden darauf über das Thermoschall-Thermokompressions-Bonding-Verfahren verbunden. Die Oberfläche des jeweiligen externen Verbindungsanschlusses wird mit einer Pd/Au-Egalisierungsabdeckung plattiert. Die Rückelektrode 53, deren äußerste Oberfläche aus einem aufgedampften Film aus Au oder Ag besteht, befindet sich auf der Rückfläche des Chips, und der externe Verbindungsanschluß 54 für die Rückelektrode, deren Cu-Oberfläche durch eine Pd/Au-Egalisierungsabdeckung plattiert ist, ist darauf über das Thermoschall-Thermokompressions-Bonding-Verfahren durch Zwischenschieben einer Ag-Maschenschicht 58, die mit Sn plattiert ist und eine Dicke von 0,1 µm bis 5 µm aufweist, verbunden. Die externen Verbindungsanschlüsse für Hauptstrom und Steuerung sind so eingefast, daß sie auf der Oberfläche des Harzkörpers freiliegen, und die externen Verbindungsanschlüsse für die Rückelektrode ragen links- wie rechtsseitig aus dem Harzkörper heraus. Die eine Seite der externen Verbindungsanschlüsse für die Rückelektrode ist abgetrennt, und die andere Seite ist abgewinkelt gefertigt.

Im vorliegenden Ausführungsbeispiel treten dieselben Vorteile wie in dem in Fig. 1 gezeigten Ausführungsbeispiel auf. Außerdem kann die Packung am effektivsten gekühlt werden, und die Temperaturerhöhung an der Al-Elektrode klein gehalten werden, weil die Struktur der Schaltkreisebene des Chips, d. h. eines Heizers auf dem Chip, eine effektive Wärmeübertragung auf das Verdrahtungssubstrat gestattet. Im Ergebnis kann die Produktlebensdauer unter praktischen Benutzungsbedingungen signifikant verbessert werden, da die thermische Spannung, die zwischen den externen Verbindungsanschlüssen und dem Chip entsteht, klein gehalten werden kann, und Verwachsungsverbindungen zwischen dem Al-Elektrodenfilm und den Au-Kugeln unterdrückt werden können.

Fig. 5 zeigt ein Ausführungsbeispiel des Matrixrahmens der Leitung für Source- und Gate-Elektroden, die zur Anfertigung der Halbleiter-Packung der vorliegenden Erfindung verwendet wird. Fig. 6 zeigt das Bonding-Verfahren bei der Fertigung der Packung in der Querschnittsansicht A-A' von Fig. 5. Fig. 7 zeigt das Aussehen des Matrix-Leitungsrahmens nach dem Verbinden, und Fig. 8 ist eine Skizze, die das Harzeinfassungsverfahren veranschaulicht. Nach Fig. 5 wird eine Einheit, die aus dem Paar einer Source-Leitung 61 und einer Gate-Leitung 62 besteht, in X-Y-Richtung ausgerichtet. Nach der nächsten Fig. 6 werden die zuvor gebildeten Au-Bumps 71 auf den Al-Elektroden 66, 67 des Halbleiterchips auf den Source-Leitungen 61 und den Gate-Leitungen 62 des Matrix-Leitungsrahmens positioniert und angebracht. Die Unterbauanschlüsse 69 für Drain, auf denen die Ag-Bumps 70 zuvor gebildet wurden, werden auf der Rückelektrode 68 des Chips angebracht. Die Verbindungsstücke auf der Ober- und Unterfläche des Chips werden gleichzeitig durch Aufheizen des Heizelements 74 zur Anbringung des Matrix-Leitungsrahmens bei 200°C und durch Komprimierung der Unterbauverbindungsanschlüsse durch das Bonding-Werkzeug 73, das eine Ultraschallvibration 76 auslöst, mit einer Kraft von 50 g bis 500 g pro Bump gebondet. Bezüglich der Ultraschallvibration wird die Verbindung unter Steuerung des abgeflachten Anteils der Bumps durchgeführt, und die Präzision der Höhe der Leitung und des Unterbaus wird dahingehend gesteuert, sich in einem bestimmten Rahmen zu bewegen. Die Ausrichtung der Ultraschallvibration ist auf die longitudinale Richtung (Auf- und Ab-Richtung in Fig. 5) eingeschränkt, in der die Rigidität der Leitung hoch ist, um ein Entstehen von Verbindungsfehlern durch Resonanzen der Leitung am Verbindungsstück zu verhindern. Der Unterbauanschluß wird durch Herausschlagen aus einer großen Cu-Platte, die zuvor mit Edelmetall plattiert wurde, hergestellt, weil der Unterbauanschluß getrennt und individuell bearbeitet wird. Der Zustand, in den der Matrixleitungsrahmen (Fig. 7) nach Abschluß der Verbindungen in eine Metalleinfassung gebracht wird, wird in Fig. 8 angezeigt. Fig. 8 zeigt eine Querschnittsansicht, in der zum Querschnitt von Fig. 7 senkrechten Richtung A-A'. Nach Fig. 8 sind die Höhlungen 82 der Metalleinfassungen 80, 81 so geformt, daß sie mit der Anordnung des Matrixleitungsrahmens zusammenpassen und sich in X-Y-Richtung ausrichten. Ausweichräume 83 zur Aufnahme von Leitungsüberhängen sind vorgesehen. Der Matrixleitungsrahmen wird in die Höhlung des unteren Druckteils 81 gesetzt, indem der Halbleiterchip 65 so positioniert wird, wie er eingebracht werden soll, und dann das obere Druckteil daraufgesetzt und angedrückt wird. Die Höhe der aus der Höhlung herausragenden Source- und Gate-Leitungen wird auf ein gleiches oder etwas höheres Niveau als die Tiefe der Höhlung im unteren Druckteil eingestellt und der Aufbau ist so beschaffen, daß, wenn die Leitungen von den Seitenwänden der oberen und unteren Höhlungen gehalten werden, der Unterbauanschluß auf den Boden der Höhlung gedrückt wird. Die Leitungen werden links und rechts heruntergedrückt, wenn das Chipteil in der Mitte ist. Wenn jedoch zu stark heruntergedrückt wird, werden die Leitungen verformt und es entsteht eine Verformungsspannung an den Au-Bumpsteilen in der Mitte des Chips. Daher wird, um die Verbindungsdeformation der Leitungen in konvexer Form in der Mitte des Chips so klein wie möglich zu machen, der Befestigungsteil der Leitung am oberen Druckteil messerförmig hergestellt, und das untere Druckteil wird mit einer Stufe versehen, deren innere Seite tiefer liegt als deren äußere Seite, so daß sie die Leitungen in einer W-Form deformieren kann. Bei der Harzeinfassung wird die Größe der Silica-Teilchen zur Erniedrigung der thermischen Ausdehnung verringert, um die Füll-

eigenschaft in die 10 µm bis 20 µm große Lücke zwischen den Verbindungs-Bumpteilen zu verbessern, damit keine Leerräume im Harz während des Druckeinwirkungsprozesses entstehen.

Mit dem Leitungsrahmen und seinem Herstellungsverfahren können kostengünstige Halbleiter-Packungen wegen den folgenden Effekten hergestellt werden: die IC-Einheiten werden im Leitungsrahmen in Matrixform zur Fertigung angeordnet, und die Produktivität kann mit Erhöhung der Anzahl der Packungen aus einem Leitungsrahmen erhöht werden; der Unterbau kann ohne Erhöhung seiner Kosten gefertigt werden, weil die Paßflächen des Unterbaus mit Ausnahme der leitungsführenden Teile präzise durch Oberflächenschleifen gefertigt werden können; eine mögliche Verringerung der Fertigungsschritte, weil die Unterbau-Chipverbindung und der Anschluß an die Schaltkreisebene gleichzeitig in einem Verbindungsschritt durchgeführt werden können; und weitere Effekte. Ein zusätzliches strukturelles Merkmal stellt die kleine und dünne Halbleiter-Packung dar, die in ihrer Kleinheit der Größe des Chips nahekommt.

Fig. 9 zeigt ein Ausführungsbeispiel des Fertigungsablaufs der Halbleiter-Packung der vorliegenden Erfindung. Nach Fig. 9 werden in der Fertigung der Halbleiter-Packung vier Komponenten verwendet. Der Halbleiterchip wird mit Au-Bumps ausgestattet, die auf dem Wafer-Level gebildet und in würfelförmige Stücke zerteilt werden. Die Herstellung der Au-Bumps kann entweder durch das Ball-Bonding-Verfahren, das Glättungsverfahren oder das Au-Kugeltranskriptionsverfahren durchgeführt werden. Die externen Verbindungsanschlüsse für Source und Gate werden hergestellt und durch Herausschlag- oder Ätzverfahren aus einer Cu-Legierungsplatte in Matrixleitungsrahmenform umgestaltet, und nachdem Ni auf die Oberfläche des Anschlusses als Grundlage aufgetragen wurde; wird Pd in einer Dicke von etwa 0,02 µm bis 1 µm darauf abgeschieden. Zuletzt werden die Anschlüsse durch Abscheidung einer etwa 0,001 µm bis 1 µm dicken Au-Schicht auf ihrer äußersten Oberfläche vollendet. Die externen Verbindungsanschlüsse für Drain werden mit einem Cu-Band auf Ni-Basis als Egalisierungsoberfläche gefertigt, darauf wird eine etwa 0,02 µm bis 1 µm dicke Pd-Schicht abgeschieden, die äußerste Oberfläche der Anschlüsse werden mit einer Au-Schicht von etwa 0,001 µm bis 1 µm Dicke abgedeckt und schließlich wird das Cu-Band in Stücke von einer zur Chipgröße äquivalenten Größe zerteilt. Die Ag-Schicht für die Chip-Unterbauverbindung wird durch Bildung der Erhöhungen und Vertiefungen auf einer oder beiden Seiten des Ag-Bandes von 10 µm bis 100 µm Dicke durch Andrücken hergestellt, und darauf wird eine Sn-Schicht von etwa 0,1 µm bis 5 µm Dicke abgeschieden. Die Dicke der Sn-Schicht wird für diesen Zeitpunkt so bestimmt, daß das Gewichtsverhältnis von Sn zu Ag höchstens 20 Gew.-% beträgt. Schließlich wird die Ag-Schicht in Stücke mit einer zum externen Verbindungsanschluß für Drain oder zum Chip äquivalenten Größe zerteilt. Jede der Komponenten für einen IC wird gleichzeitig in einer Einheit angeschlossen, nachdem der Matrix-Leitungsrahmen auf die Verbindungsstufe gebracht und schichtweise in der Reihenfolge Halbleiterchip, Ag-Schicht, externe Verbindungsanschlüsse nach gegenseitiger Positionierung zueinander aufgesetzt, und gleichzeitig erwärmt, angedrückt und mit Ultraschall angeregt wurde. Nach dem Anschließen der ganzen Matrix, wird der Harzeinfassungsschritt über dieselbe Prozedur wie im Ausführungsbeispiel der Fig. 8 ausgeführt. Zuletzt werden die in einer Matrix zusammengefaßten Halbleiter-Packungen abgetrennt und in Stücke zerteilt und die Halbleiter-Packung wird fertiggestellt, indem die Leitung abgewinkelt und umgeformt wird.

Nach dem vorliegenden Ausführungsbeispiel können die Fertigungsschritte der Komponenten in Parallelprozessen durchgeführt werden und eine zusammengefaßte Produktion einer großen Zahl von Packungen ist möglich; und die Fertigungslinie weist nur drei Schritte auf, (1) Setzen und Verbinden der Komponenten, (2) Harzeinfassen, und (3) Abtrennen und Umformen der Leitung, und ein Schritt kann im Vergleich zur konventionellen Chip-Unterbauverbindung und zum Verdrahtungsprozeß ausgelassen werden. Außerdem kann der gesamte Produktionstakt verringert werden und eine signifikante Verbesserung der Produktivität erreicht werden, weil der obige Schritt (1) im Anfertigungstakt mit kürzerem Takt als der Drahtverbindungstakt ausgeführt werden kann.

Fig. 10 zeigt ein Ausführungsbeispiel der Verdrahtungsstruktur der Rückelektrode des Chips der vorliegenden Erfindung. Der Leitungsrahmen besteht aus zwei Leitungsrahmen, nämlich dem Leitungsrahmen zur Source und Gate und dem Leitungsrahmen für Drain. Nach Fig. 10 werden der Leitungsrahmen aus Cu-Legierung, der die Source-Leitung 91 und die Gate-Leitung 92 bildet, und der Leitungsrahmen, der den Unterbau für Drain 95 bildet, über die ganze Oberfläche mit Pd-Au abgedeckt. Die Au-Kugelbumps 101 auf dem Unterbau für Drain werden durch das Ball-Bonding-Verfahren angefertigt. Nach dieser Struktur wird der Halbleiterchip 97 mit der Rückelektrode 102, bei der die Au-Kugelbumps 110 zuvor auf der Al-Elektrode 98 gebildet wurden, zwischen die zwei obigen Arten von Leitungsrahmen gesteckt, und der obere und untere Teil des Chips kann gleichzeitig angeschlossen werden.

Fig. 11 zeigt ein Beispiel einer Halbleiterstruktur, die durch Einfassung des oben verbundenen Körpers in Harz und durch Umformung der Leitung erhalten wird. Nach Fig. 11 ragen die Source-Leitung 91 und die Gate-Leitung 92 aus einer Seitenwand des Harzkörpers 103 hervor, die Drain-Leitung ragt aus der gegenüberliegenden Seitenwand heraus und jede der Leitungen wird in einem Abwinklungsprozeß bearbeitet. Der Halsteil 93, d. h. das lokal dünnere Stück, wird auf die Leitungen des Harzkörpers ausgerichtet, um eine Struktur zu schaffen, in der kaum Spannungen, die im Abwinklungsprozeß entstehen, auf den Verbindungsteil der Bumps übertragen werden. Die Höhe der herausragenden Position der Leitungen auf der linken Seite unterscheidet sich von denen der rechten Seite. Daher werden die Anpaßflächen der oberen und unteren Metallfassungen mit einer Stufe versehen. Die Rückfläche des Chips weist eine kompressionsverbundene Struktur aus Au-Abscheidungsfilm/Ag-Bumps 101/Pd/Au-plattiertem Unterbau auf, und die obere Chipfläche weist eine komprimierte Struktur aus Al-Elektroden 98, 99/Au-Bumps 100/Pd/Au-plattierten Leitungen 91, 92 auf.

Nach dem vorliegenden Ausführungsbeispiel kann eine Halbleiter-Packung ohne Pb, die aus Umweltgründen wünschenswert ist, vorgestellt werden. Zusätzlich weist die Packung einen hohen Wärmewiderstand auf weil die Chip-Unterbaustuktur durch direktes Verbinden von Edelmetallen über Ag-Bumps zusammengestellt wurde; und die Temperaturzyklusbeständigkeit der Packung ist groß, da die thermische Verformung zwischen dem Chip und dem Unterbau über Ag-Bumps relaxieren kann. Die Leitung weist eine gewünschte Benetzbarkeit mit Lötmittel auf. Als Konsequenz kann der Anfertigungsprozeß der Packung verkürzt und die Produktivität erhöht werden, da die Plattierung mit Lötmittel nach der Anfertigung der Packung unnötig wird. Zusätzlich entsteht der Vorteil, daß eine kleine und dünne Halbleiter-Packung vorgestellt werden kann, da der Chip in einer zur Chipgröße vergleichbaren Größe in Harz eingefaßt werden kann.

Fig. 12 zeigt ein Ausführungsbeispiel der Verbindungsschicht zwischen dem Chip und dem Unterbau. Nach Fig. 12 besteht die Schicht 110 aus einer Abdeckung aus reinem Silber von 20 µm Dicke, und die 10 µm tiefen Gräben 111 werden auf einer Seite der Schicht geformt. Die Gräben werden durch Druckanfertigung oder durch Schneiden mit einer würfelförmigen Platte angefertigt. Die Ag-Schicht wird nach dem Walzschritt und der Anfertigung der Gräben vergütet, so daß die Härte der Ag-Schicht 35 Hv oder weniger wird.

Durch das Verwenden der Ag-Schicht der vorliegenden Ausführungsform zur Durchführung des Thermoschall-Thermokompressions-Bondings von Chip/Unterbau wird die Deformation der Zusammensetzung der Ag-Schicht leicht wegen des Bestehens von Gräben und der Weichheit des Materials fortschreiten kann, und eine enge und hochhitzebeständige Verbindung kann ohne Schädigung des Chips erreicht werden, weil neu erzeugte Ebenen gebildet werden und der Verbindungsprozeß kann leicht an der Grenze der Verbindungsebenen fortschreiten, unter der Bedingung, daß die auf den Si-Chip ausgeübte Spannung klein ist. Ferner kann eine Halbleiter-Packung von großer Temperaturzyklusbeständigkeit vorgelegt werden, weil die thermische Verformung zwischen Chip und Unterbau, die mit der Wärmeentwicklung auf dem Chip während der Benutzung der Packung einhergeht, von der weichen Ag-Schicht, die grabenförmige Zwischenräume aufweist, absorbiert werden kann.

Fig. 13 zeigt ein mögliches anderes Ausführungsbeispiel der Verbindungsschicht zwischen Chip und Unterbau. Nach Fig. 13 wird der Kernteil 112 der Verbindungsschicht genau so gefertigt, wie die Ag-Schicht von Fig. 12. Die Oberfläche der Ag-Schicht wird dann mit einer 0,3 µm bis 2,0 µm dicken Sn-Schicht 113 plattiert.

Durch Verwendung der Verbindungsschicht des vorliegenden Ausführungsbeispiels zur Ausführung des Thermoschall-Thermokompressions-Bondings von Chip/Unterbau bildet sich bei einer Temperatur von über 220°C über eine Ag-Sn-Reaktion eine flüssige Phase, und die Oberfläche der Schicht wird von einem dünnen Film dieser Flüssigkeit bedeckt. Daher entsteht der Vorteil, daß bei geringer Kompressionsanwendung eine sichere und enge Verbindung leicht erreicht werden kann, weil die Flüssigkeit an den Stellen, wo die Schicht auf den Unterbau oder die Rückelektrode des Chips gedrückt wird, herausfließt und die Verbindung zwischen den Teilen mit hohem Schmelzpunkt leicht durchgeführt werden kann. Außerdem erhöht sich, weil Ag durch Auflösung oder Diffusion während des Heizens des Kerns der Ag-Sn-Schicht durch Herausdrücken an der Verbindungszwischenschicht zugeführt wird, der Schmelzpunkt der Ag-Sn-Schicht auf letztlich über 470°C und der Verbindungsteil kann einen hohen Wärmewiderstand aufweisen. Bezüglich der Beständigkeit der Halbleiter-Packung können dieselben Vorteile wie im Ausführungsbeispiel der Fig. 1 erhalten werden.

Fig. 14 zeigt ein anderes Ausführungsbeispiel der Verbindungsschicht zwischen Chip und Unterbau. Nach Fig. 14 besteht die Verbindungsschicht aus einer maschenartigen Schicht aus Ag-Drähten 114, 115, die in vertikaler und horizontaler Richtung verwoben sind.

Nach dem vorliegenden Ausführungsbeispiel hat die Verbindungsschicht Erhöhungen und Vertiefungen, in der Form, daß die Stellen, an denen sich die Ag-Drähte überlappen, dick und die übrigen Stellen dünn sind. Daher kann die Zusammensetzungs-Deformation an den dicken Stellen leicht ausgeführt werden, und man erhält dieselben Vorteile wie bei dem Ausführungsbeispiel von Fig. 12.

Fig. 15 zeigt ein Ausführungsbeispiel der Halbleiter-Pak-

kung der vorliegenden Erfindung, bei dem Ag-Partikel zur Verbindung von Chip und Unterbau verwendet werden. Nach Fig. 15 wird eine Al-Elektrode 121 auf der Schaltkreisebene des Halbleiterchips 120 gefertigt und mehrere Ag-Bumps 125 darauf gebildet. Auf der Rückfläche des Chips bildet man eine Rückelektrode 122 deren äußerste Oberfläche mit Ag plattiert ist. Die mit Edelmetall plattierte Leitung 123 auf der Schaltkreisebene und die Ag-Bumps sind direkt über Thermoschall-Thermokompressions-Bonding verbunden. Die Rückelektrode des Chips und der Unterbauanschluß 124, der mit Edelmetall plattiert ist, werden über Thermoschall-Thermokompressions-Bonding mit dazwischenliegenden Ag-Partikeln 126 verbunden, die aus einem Gemisch von Harz 127 und zu mehr als 90 vol-% Ag bestehen. Der Harzanteil wird so klein gewählt, daß das während der Kompression herausfließende Harz nicht von der Seitenfläche des Unterbauanschlusses auf die Kompressionsstufe fließt, und gleichzeitig so groß gewählt, daß das Gemisch als viskose Flüssigkeit behandelt werden kann. Das Harz ist heißfixierend und wird durch das Heizen während des Verbindens ausgehärtet. Die Ag-Partikel und der Ag-Film auf der Rückfläche des Chips, die Ag-Partikel und der Unterbauanschluß, und die Ag-Partikel selbst werden zum Teil durch Metallverbindung an den Kontaktstellen angeschlossen. Die Größe des Unterbauanschlusses ist so gewählt, daß sie in dem Harzkörper 128 eingefast werden kann und genau so groß wie der Chip ist. Sie kann auch etwas größer oder kleiner als der Chip sein.

Nach dem vorliegenden Ausführungsbeispiel kann eine kleine und dünne Halbleiter-Packung mit niedrigem elektrischen Widerstand und ohne Pb vorgestellt werden. Da die Ag-Partikel mit Harz vermischt sind, kann die Dispersion der Ag-Partikel durch die viskose Eigenschaft des Harzes verhindert werden, und die Produktivität durch die einfache Ag-Partikelzufuhr zum Verbindungsteil verbessert werden. Da schmale Lücken zwischen den Ag-Partikeln nach dem Verbinden mit dem Harzgemisch aufgefüllt werden können, kann die Notwendigkeit, die Lücken mit Einformharz auszufüllen, beseitigt werden, mit dem Vorteil, daß die Entstehung von Leerräumen signifikant vermindert wird und der Produktionsertrag erhöht werden kann. Außerdem kann, obwohl die Verbindungssubstanz ein Gemisch aus Harz und Ag-Partikeln ist, das Thermokompressionsverfahren mit gleichzeitiger Ultraschallvibration zum Bonding angewendet werden. Daher wird das Harz aus der Verbindungszwischenschicht der Metalle herausgedrückt und eine dichte Verbindung der Metalle miteinander an der Verbindungsstelle wird erreicht. Das hat den Vorteil, daß die Verbindungsbeständigkeit im Vergleich zu einem Verkleben mit Ag-Paste merklich verbessert werden kann.

Fig. 16 zeigt ein Ausführungsbeispiel der Halbleiter-Packung der vorliegenden Erfindung, bei dem eine Ag-Schicht mit Gräben zur Verbindung von Chip und Unterbau verwendet wird. Nach Fig. 16 werden die Au-Kugeln 139 auf der Al-Elektrode 131 des Chips 130 gebildet, und es wird ein Ag-Film an der äußersten Oberfläche der Rückelektrode 132 gefertigt. Die Oberfläche des Leitungsanschlusses 135 und des Unterbauanschlusses 138 wird mit Pd plattiert. Die Ag-Schicht 140, auf der die Gräben 141 gebildet sind, wird zwischen die Rückfläche des Chips und den Unterbauanschluß eingeschoben. Jedes der Verbindungsteile wird direkt über ein Thermokompressions-Bonding-Verfahren in Verbindung mit Ultraschallvibration angeschlossen. Die Leitungsanschlüsse ragen aus den Seitenflächen des Harzkörpers heraus und werden abgewinkelt hergestellt.

Zum vorliegenden Ausführungsbeispiel kommt zusätzlich zu den Vorteilen des in Fig. 2 gezeigten Ausführungsbeispiels hinzu, daß die Bruchgefahr der jeweiligen Verbin-

dungsteile von Al-Elektrode/Au-Kugel/Leitungsanschluß wegen thermische Verformung und ähnlichem vermindert und die Beständigkeit der Halbleiter-Packung verbessert werden kann, weil die Harzverbindungsfläche in der oberen und unteren Region der Leitungsanschlüsse breit gewählt werden kann, da die Leitungsanschlüsse nur auf einer Seite hervorragen, und die Andrückkraft zwischen der Leitung und dem Chip durch die Wirkung des Aushärtesschrumpfungsprozesses des Harzes erhöht werden kann.

Fig. 17 zeigt ein Ausführungsbeispiel der Halbleiter-Packung der vorliegenden Erfindung, bei dem ein Teil des Leitungsanschlusses an der oberen Ebene des Harzkörpers freiliegt. Nach Fig. 17 sind die Au-Kugeln 154 auf der Al-Elektrode 146 des Chips 145 gebildet, und der abgeschiedene Ag-Film befindet sich an der äußersten Oberfläche der Rückelektrode 147. Die Oberfläche des Leitungsanschlusses 150 und der Unterbauanschluß 153 sind mit Pt/Au 149, 152 plattiert. Die Ag-Schicht 155, auf der sich die Gräben 156 befinden, wird zwischen die Rückfläche des Chips und den Unterbauanschluß eingeschoben. Jeder der Verbindungssteile wird direkt durch ein Thermokompressions-Bonding-Verfahren in Verbindung mit Ultraschallvibration angeschlossen. Die Leitungsanschlüsse ragen aus der Seitenfläche des Harzkörpers heraus und sind abgewinkelt geformt, und der Leitungsanschluß liegt auf der Oberfläche des Harzkörpers frei.

Nach dem vorliegenden Ausführungsbeispiel entsteht zusätzlich zu den Vorteilen des in Fig. 2 gezeigten Ausführungsbeispiels eine signifikante Erniedrigung des Widerstands der Halbleiter-Packung, weil die Wärme effektiv über die breite Fläche des an der Oberfläche des Harzkörpers freiliegenden Leitungsanschlusses abgeleitet werden kann.

Fig. 18 zeigt ein Ausführungsbeispiel des Verdrahtungs-substrats zur Montage der Halbleiter-Packung der vorliegenden Erfindung. Nach Fig. 18 besteht das Verdrahtungs-substrat aus einem organischen Vielschichtsubstrat, das schichtweise aus Substraten aufgebaut ist, die aus einem Cu-Folienmuster auf einer Epoxid-Glas-Stoffverbindung aufgebaut sind. Verschiedene Halbleiter-Packungen und Verbindungsanschlüsse 165, 169, 170, 171 von passiven Bauelementen werden auf der Oberfläche des Substrats gebildet. Die Verbindungsanschlüsse für die Montage des Halbleiters der vorliegenden Erfindung bestehen aus den Verbindungsanschlüssen 161, 168 für Drain, den Verbindungsanschlüssen 164, 167 für Source und den Verbindungsanschlüssen 162, 163, 166 für Gate, die alle eine Größe aufweisen, die in den Gehäusekörper paßt.

Fig. 19 zeigt ein Ausführungsbeispiel eines elektronischen Bauelements, bei dem das in Fig. 18 gezeigte Verdrahtungs-substrat zusammen mit den Halbleiter-Packungen der vorliegenden Erfindung, LSI-Packungen und anderen Elementen montiert ist. Nach Fig. 19 werden die LSI-Packungen 176, 177, 178 für die Signalprozessierung, die vertikalen Halbleiter-Packungen 172, 175 und die Widerstands- und passiven Kapazitätsbauelemente 173, 174 auf dem Verdrahtungs-substrat durch Lötverbindungen angebracht.

Nach dem vorliegenden Ausführungsbeispiel kann die Verbindungsfläche zwischen der Halbleiterleistungspackung und dem Substrat breit gewählt werden, und der Chip, d. h. ein Heizer, und das Substrat im kürzesten Abstand miteinander verbunden werden. Der Temperaturunterschied zwischen dem Substrat und der Packung kann daher erniedrigt werden, die an den Lötverbindungspunkten entstehende Spannung kann vermindert werden, und ein hoch verlässliches elektronisches Bauelement entsteht. Da die Wärmeentwicklung der Packung vermindert wird, übersteigt die Temperatur des Bauelements nicht den normalen Operations-

temperaturrahmen, obwohl keine spezielle Wärmecableitungs-vorrichtung vorgesehen wurde. Dies bietet die Vorteile, daß die Struktur des elektronischen Bauelements vereinfacht wurde, die Kosten gesenkt, und die Lebensdauer des elektronischen Bauelements wegen der geringen Temperatursteigerung während der Operation verbessert wurde.

Wie oben im Detail beschrieben, kann nach vorliegender Erfindung der elektrische Widerstand der Packung vermindert werden.

Fig. 29 zeigt Änderungen der Festigkeit der Verbindungsstellen, wenn das Au-Kugel-Bonding am Al-Elektrodenfilm der Dicke 3,5 µm bei 200°C Bonding-Temperatur durchgeführt wird und die Verbindungsstellen bei hoher Temperatur gehalten werden. Wenn die Haltezeit weniger als 200°C beträgt, kann nach kurzer Zeit ein Nachlassen der Festigkeit beobachtet werden, aber je höher die Haltezeit ist, desto eher wird die Festigkeit wieder verbessert. Wenn die Haltezeit weiter ausgedehnt wird, verschlechtert sich die Festigkeit wieder. Die detaillierte Analyse der Gründe für obiges Phänomen ergab, daß die Festigkeit unmittelbar nach der Verbindung von der Festigkeit des Al-Films selbst abhängt; und daß das erste Absinken der Festigkeit beim ursprünglichen Halteschritt bei hoher Temperatur auf das Wachsen einer AuAl<sub>2</sub>-Verbindung zurückzuführen ist, die bereits als Purple Plague bekannt ist und an der Grenzfläche zwischen AuAl-Legierungsschicht und Al-Film entsteht. Außerdem hat sich ergeben, daß die Erhöhung der Festigkeit durch das Ersetzen des Al-Films an der Verbindungsstelle durch die AuAl-Legierungsschicht verursacht wird, die fester als Al ist, und daß die folgende Verminderung der Festigkeit von als Carkendahl-Leerräume bekannten Wachstumsdefekten an der Grenzfläche der Au-AuAl-Legierungsschicht verursacht wird. Man hat herausgefunden, daß die Erhöhung der Festigkeit auf mehr als das Doppelte der Verbindungsfestigkeit auf die Anwesenheit feiner Erhöhungen und Vertiefungen auf der Oberfläche des Transistorchips korrespondierend zur großen Anzahl von Zellstrukturen zurückzuführen ist, und die Legierungsschicht und das Si-Substrat bilden eine mechanische Maschenstruktur. Dieses Phänomen tritt nicht bei konventionellen LSI-Packungen auf. Man fand heraus, daß nach der Durchführung der Wärmebehandlung bei einer Temperatur von mehr als 250°C für kurze Zeit, kein Problem in Form von Carkendahl-Leerräumen entstand für eine Haltezeit von 150°C und eine Haltezeit von 2000 Stunden, und daß keine Erniedrigung der Festigkeit entstand, wie in Fig. 30 gezeigt ist. Der Erfinder der vorliegenden Erfindung macht sich obiges Phänomen zunutze und erreichte eine Verbesserung der ursprünglichen Verbindungsfestigkeit um mehr als ungefähr das Doppelte und eine Verbesserung der Beständigkeit der Verbindung an den metallischen Verbindungsstellen selbst während des Temperaturzyklus im Bereich von weniger als 150°C, d. h. für den praktisch nutzbaren Temperaturbereich und während des Halten bei hoher Temperatur. Außerdem wurde bezüglich der Verbindung der Elektrodenleitung mit den Au-Bumps auf dem Chip ein Thermoschall-Thermokompressions-Bonding-Verfahren, das bei einer kleinen Temperatur (kleiner als 250°C) und einer niedrigen Belastung ohne den Chip zu schädigen ausgeführt wird, entwickelt, was ein Verbinden bei niedriger Temperatur möglich macht. In Anbetracht des Obigen, konnte also das Entstehen von thermischer Verformung während des Kühlschritts beim Verbindungsvorgang signifikant erniedrigt werden, und die Beständigkeit der Verbindung an den Metallverbindungsstellen verbessert werden. Gleichzeitig wird es durch die Verwirklichung des Bonding-Verfahrens bei tiefer Temperatur möglich, die Metallverbindung und das Harzeinfassen gleichzeitig über das Einfüllen des

Harzes in die Lücke zwischen der Elektrodenleitung und dem Chip während der Verbindung von Elektrodenleitung/Chip auszuführen. Dann kann, weil Harz während der Kompression herausgedrückt wird, ohne Entstehung von Leerräumen Harz eingefüllt werden und, weil die Verbindung unter dem Umstand erreicht werden kann, daß Kompressionskraft auf die Au-Bumps über das Aushärte-Schrumpfungsphänomen des Harzes ausgeübt wird, kann die Ermüdungslebensdauer über den Effekt der Kompressionsspannung erweitert werden, obwohl ein Temperaturzyklus hinzugefügt wird.

Als nächstes soll die hohe Verlässlichkeit der Packung, die kein Pb enthält, und keine Harzversiegelung aufweist, im folgenden beschrieben werden. Die Transistorpackung ist in einer Struktur zusammengesetzt, bei der drei unabhängige Metallkomponenten elektrisch mit der jeweiligen Elektrode auf dem Chip verbunden und in der Struktur verankert sind. Konventionellerweise wurden die jeweiligen Metallkomponenten mit ausgehärtetem Harz fixiert. Nach der Struktur der vorliegenden Erfindung werden die Metallkomponenten jedoch fixiert, indem die jeweiligen Komponenten mit dem Chip durch gleichzeitige Verwendung von Metallverbindung und Harzeinfassung flexibel und eng verbunden werden. Der Grund für die gleichzeitige Verwendung von Metallverbindung und Harzeinfassung ist darin zu sehen, daß, obwohl eine hohe Festigkeit allein durch die Metallverbindung erreicht wird, das Cu, ein Kernmaterial der Metallkomponente, wenn es eng mit dem Si-Chip verbunden wird, eine große Verformung im Si-Chip durch den Unterschied in der thermischen Expansion des Cu und des Si-Chips entstehen läßt, und eine Verschlechterung ihrer Charakteristiken entsteht oder im Extremfall eine Schädigung des Chips auftreten kann. Daher ist es notwendig, die Struktur des Verbindungssteils flexibel zu gestalten, um die Verformung abzufangen, und da die metallische Verbindungsstruktur Zwischenräume aufweist, entsteht die Struktur der vorliegenden Erfindung, in der die mangelnde Verbindungsfestigkeit durch die Harzeinfassung ersetzt wird. In der Struktur der vorliegenden Erfindung kann, wenn das Harz als Film verwendet wird, die Harzeinfassung und die metallische Verbindung im selben Verbindungsschritt ausgeführt werden und gleichzeitig der Ausbackschritt der Harzeinfassung weggelassen werden. Produktionskosten können also gesenkt und die Produktivität verbessert werden, und eine Transistorpackung, die im Hinblick auf Umweltprobleme vorzugsweise gestaltet ist, kann vorgestellt werden. Durch Ausführen der Metallverbindung über Thermoschall-Thermokompressions-Verfahren; Behandeln der Oberfläche des Metalls mit einer Spritzreinigung vor dem Verbinden; und Änderung der Verbindungskraft von einer niedrigen Belastung zu einer hohen Belastung in einer Steigerungsform bei gleichzeitigem Zufügen von Ultraschallwellen; wird unter der Bedingung, daß die Deformation der Bumps klein ist, eine Metallverbindung von hoher Festigkeit erreicht.

Im folgenden sollen die Ausführungsbeispiele der vorliegenden Erfindung unter Bezugnahme auf die Zeichnungen erklärt werden.

Fig. 22 zeigt ein Ausführungsbeispiel der Struktur der Transistorpackung nach der vorliegenden Erfindung. In Fig. 22 ist eine Al-Elektrode 2 von 2 µm Dicke auf der Schaltkreisebene des Transistorchips 1 gefertigt, und die Rückelektrode 3, deren äußerste Oberfläche mit Au plattiert ist, ist auf der gegenüberliegenden Fläche des Transistorchips 1 ausgebildet. Die Au-Bumps 7 sind auf der Al-Elektrode über ein Ball-Bonding-Verfahren gefertigt. In diesem Schritt wird der ganze Al-Elektrodenfilm unter den Bumps durch eine AuAl-Legierung 9 mit einer Wärmebehandlung von z. B. 300°C - 2 Stunden oder 250°C - 10 Stunden ersetzt.

Die Oberfläche der Metalleitung 4 wird mit Pd/Au plattiert und die Metalleitungen werden mit den Au-Bumps auf der Al-Elektrode durch ein vereintes Thermoschall-Thermokompressions-Bonding-Verfahren bei einer relativ niedrigen Temperatur wie 250°C angeschlossen. Das erste Harz 8 wird in Form einer Schicht beim Thermoschall-Thermokompressions-Bonding zugeführt und mit der Verbindung der Au-Bumps gleichzeitig eingeförnt und ausgehärtet. Die Höhe der Bumps (Harzdicke) nach der Verbindung beträgt einige zehn µm. Die Chip-Rückelektrode und die Unterbau-Montageleitung 6 halten die zweite Harzschicht 11, in der Edelmetallpartikel enthalten sind, zwischen sich, und die Chip-Rückelektrode und die Unterbau-Montageleitung 6 sind über Kompression bei gleichzeitigem Zuführen von Ultraschallwellen und Erwärmung bei einer relativ niedrigen Temperatur von weniger als 250°C miteinander verbunden. Die Edelmetallpartikel, d. h. in diesem Fall die Ag-Partikel 10, werden durch Andrücken an die Rückelektrode und den Unterbau deformiert und schaffen einen metallischen Verbindungszustand. Die Unterbauzuleitungen werden zuvor abgewinkelt, und der Verbindungszustand so eingestellt, daß die untere Ebene nach der Deformation und Verbindung der Ag-Partikel mit der Elektrodenleitung etwa eine Ebene bildet. Das erste und zweite Harz wird an die oberen und unteren Teile angebracht und gibt die durch das Schrumpfungsphänomen während der Aushärtezeit entstandene Kompressionsspannung an das Verbindungsstück weiter. Hier wird ein thermisch anhaftendes Polyimidharz als erstes und zweites Kunstharz verwendet, aber Epoxidharz, das bei Raumtemperatur aushärtet, und anderes Harz können auch verwendet werden.

Nach dem vorliegenden Ausführungsbeispiel kann die Festigkeit der Verbindungsstellen von Al-Elektrode/Au-Bump/Elektrodenleitung erhöht werden, indem man das ganze Al unter den Verbindungsteilen der Transistorpackung durch eine Legierung ersetzt, ein Absinken der Festigkeit wird durch Halten der Verbindungsteile bei hoher Temperatur verhindert und es wird eine Struktur aufgebaut, bei der die Kompressionskraft durch den Effekt des anhaftenden Harzes auf die Verbindungsteile wirkt. Demzufolge entsteht eine hochverlässliche Transistorpackung mit niedrigem Widerstand und signifikant verlängerter Temperaturzyklus-Lebensdauer. Da die Bonding-Temperatur bei der Kompressionsverbindung der Metalle aufeinander auf weniger als 250°C erniedrigt wurde, wird gleichzeitiges Verbinden mit dem anhaftenden Harz möglich, ebenso wie ein Einfüllen und Ankleben des Harzes ohne Entstehung von Leerräumen. Außerdem kann die verbleibende Spannung an den Verbindungsteilen durch Bonding bei niedrigerer Temperatur vermindert werden. Demzufolge kann, in Anbetracht der obigen Punkte, die Verlässlichkeit des Transistors verbessert werden.

Nach der Verbindungsstruktur, bei der die Rückelektrode des Chips und die Unterbau-Montageleitungen durch gleichzeitiges Verwenden von metallischem Verbinden und Harzverkleben in der vorliegenden Ausführungsform angeschlossen werden, und die thermische und elektrische Leitfähigkeit an den Verbindungsstellen sichergestellt und gleichzeitig wird der Unterschied der thermischen Expansion des Chips und der Unterbau-Montageleitungen durch die Deformation des in den Zwischenraum gefüllten Harzes absorbiert. Außerdem kann die Temperaturzyklus-Lebensdauer der Unterbau-Verbindungsstellen durch Anwenden von Kompressionslasten auf die metallische Verbindungsstelle in Verbindung mit der Aushärteschwumpfung des Harzes verbessert werden, und eine Packung ohne Pb entsteht, das gleichzeitig die gewünschte elektrische und thermische Leitfähigkeit, Temperaturzyklusbeständigkeit und Lötmit-

telrückflußhaltbarkeit aufweist.

Außerdem kann aus den zwei obigen Gründen die Verlässlichkeit der Packung sichergestellt werden, ohne die Harzversiegelung durchzuführen. Also kann eine kleine Transistorpackung mit niedrigem Widerstand, das Harz einspart, die Produktionskosten und den Produktionstakt durch Auslassung des Vergießungsschritts erniedrigt, und wünschenswerte Umwelteigenschaften vorweist, vorgelegt werden.

Da die Verbindungsstellen der Al-Elektrode und der Au-Bumps durch Wärmebehandlung im Verbindungsschritt des Chips mit der Elektrodenleitung über die Au-Bumps durch das Thermoschall-Thermokompressions-Bonding-Verfahren zur Festigung durch eine Au-Al-Legierung ersetzt werden, wird, sogar wenn die Au-Bumps durch die Belastung und Vibration von der Chip- oder Zuleitungsseite während der Kompressionsverbindung brechen, das Si-Substrat oder das Transistorelement unter den Bumps nicht etwa durch das Entstehen von Rissen beschädigt. Es kann also das Auftreten von Ausschußprodukten wegen Verbindungsschäden verhindert, und der Produktionsertrag gesteigert werden.

Fig. 23 zeigt eines der anderen Ausführungsbeispiele der Struktur der Transistorpackung nach der vorliegenden Erfindung. Nach Fig. 23 wird eine 5 µm dicke Al-Elektrode 16 auf der Schaltkreisebene des Transistorchips 15 gebildet und die Rückelektrode 17, deren äußerste Oberfläche aus Ag besteht, ist auf der gegenüberliegenden Seite angefertigt. Die Au-Bumps 20 auf der Al-Elektrode werden über das Ball-Bonding-Verfahren gebildet. In diesem Schritt wird der ganze Al-Elektrodenfilm unter den Bumps durch eine Au-Al-Legierungsschicht 21 durch eine Wärmebehandlung von z. B. 300°C – 2 Stunden, oder 250°C – 10 Stunden ersetzt. Die Öffnungen 25, 26 sind auf den chipseitigen Bereichen der Elektrodenleitung 16 und der Unterbau-Montageleitung 19 angebracht und die ganze Oberfläche der Teile ist durch eine Pd/Au-Egalisierungsschicht plattiert. Die Elektrodenleitung ist an die Au-Bumps auf der Al-Elektrode über ein vereintes Thermoschall-Thermokompressions-Bonding-Verfahren bei einer relativ niedrigen Temperatur von weniger als 200°C angeschlossen. Das erste Harz 22 wird in Schichtform zugegeben und gleichzeitig mit der Verbindung der Au-Bumps eingebracht und ausgehärtet. Die Höhe der Au-Bumps (Harzhöhe) beträgt einige zehn µm. Die Chip-Rückelektrode und die Unterbau-Montageleitungen halten das zweite Harz 24 in Schichtform, wobei in der Zwischenschicht-Edelmetallpartikel eingebracht sind, und die Chip-Rückelektrode und die Unterbau-Montageleitung werden über Kompression bei gleichzeitigem Zufügen von Ultraschallwellen und Wärme bei einer relativ niedrigen Temperatur von weniger als 250°C verbunden. Die Edelmetallpartikel, d. h. in diesem Fall Partikel aus Ag, werden zwischen der Rückelektrode und der Unterbau-Montageleitung durch die Erwärmung, Kompression und Ultraschallvibration deformiert, und formen eine metallische Verbindung. Das erste und zweite Harz wird auf die oberen und unteren Teile verklebt und übt auf die Verbindungsstellen durch das Schrumpfungssphänomen während der Aushärthephase eine Kompressionsspannung aus.

Nach dem vorliegenden Ausführungsbeispiel kann eine Packung von hoher Verlässlichkeit, niedrigem Widerstand und wünschenswerten Umwelteigenschaften, wie die in Fig. 22 gezeigte, vorgestellt werden. Außerdem wird, weil die Elektrode und das Harz, und die Unterbau-Montageleitung und das Harz, eng über die mechanische Verbindung an den Öffnungen angeschlossen sind, zusätzlich zur chemischen Verbindung (Verkleben) an der Grenzfläche sogar bei hoher Temperatur und hoher Umgebungsfeuchtigkeit ein Abschälen der Harzverklebungsstellen verhindert und das Temperaturzyklusverhalten und die Verlässlichkeit der Packung kann

signifikant verbessert, und die Verformung an den metallischen Verbindungsstellen der Au-Bumps und Ag-Partikel erniedrigt werden.

Fig. 24 zeigt ein weiteres Ausführungsbeispiel der Struktur der Transistorpackung nach der vorliegenden Erfindung. Nach Fig. 24 wird eine 3,5 µm dicke Al-Elektrode 31, 32 auf der Schaltkreisebene des Transistorchips 30 und eine Rückelektrode 33, deren äußerste Oberfläche aus Ag besteht, auf der gegenüberliegenden Fläche gebildet. Die Au-Bumps 43 sind auf der Al-Elektrode über ein Ball-Bonding-Verfahren gebildet. Die gesamte Oberfläche der Teile der Elektrodenleitungen 36, 39 und der Unterbau-Montageleitung 42 sind durch eine Pd/Au-Egalisierungsschicht 35, 38, 41 plattiert. Die Elektrodenleitungen und die Au-Bumps auf der Al-Elektrode sind über ein vereintes Thermoschall-Thermokompressions-Bonding-Verfahren bei relativ niedriger Temperatur von weniger als 200°C angeschlossen. Das erste Harz 44 wird in flüssiger Form zugeführt, um die Lücken nach dem Thermoschall-Thermokompressions-Bonding aufzufüllen, und anschließend verklebt und ausgehärtet. Die Chip-Rückelektrode und die Unterbau-Montageleitungen halten das zweite Harz 48 in Schichtform, wobei in der Zwischenschicht Edelmetallpartikel eingebracht sind, und die Chip-Rückelektrode und die Unterbau-Montageleitung 42 sind durch Kompression unter Zuführung von Ultraschallwellen und Erwärmung bei relativ niedriger Temperatur von weniger als 250°C angeschlossen. Die Edelmetallpartikel 47, d. h. in diesem Fall Partikel aus Cu 45 der Dicke 30 µm, deren Oberfläche mit Ag 46 der Dicke 5 µm plattiert ist, sind durch Komprimierung, Anpressung und Ultraschallvibration zwischen der Rückelektrode und der Unterbau-Montageleitung deformiert und bilden eine metallische Verbindung. Das erste und das zweite Harz ist mit den oberen und unteren Teilen verklebt und überträgt eine Kompressionsspannung, die durch das Schrumpfungssphänomen während der Aushärtezeit entsteht, auf die Verbindungsstelle. Die zwei Elektrodenleitungen und die Unterbau-Montageleitung sind auf gegenüberliegenden Seiten des Chips angeordnet und die Größe der jeweiligen Leitung ist in etwa zu der des Chips gleich.

Nach dem vorliegenden Ausführungsbeispiel kann eine Packung von hoher Verlässlichkeit, niedrigem Widerstand und wünschenswerten Umwelteigenschaften, wie das in Fig. 22 gezeigte, vorgestellt werden. Außerdem kann, weil Ag-plattierte Cu-Partikel mit Kernen aus Cu, das billiger als Edelmetalle ist, zur Verbindung der Chip-Rückelektrode mit der Unterbau-Montageleitung verwendet werden, der Preis pro Komponente erniedrigt werden. Ferner kann, weil die Ebenen der externen Verbindungsanschlüsse auf der oberen und unteren Seite des Chips angeordnet sind, eine Struktur entwickelt werden, bei der die Montage durch Halten der Packung von beiden Seiten des Chips vorgenommen wird, und die Montage kann leicht über mechanischen Kontakt ausgeführt werden. Ein Bauelement von Chipgröße kann verwirklicht werden, und eine sehr dichte Anordnung wird durch Erniedrigung der Montagefläche möglich.

Fig. 25 zeigt ein weiteres Ausführungsbeispiel der Struktur der Transistorpackung nach vorliegender Erfindung. Nach Fig. 25 wird eine 3,5 µm dicke Al-Elektrode 51 auf der Schaltkreisebene des Transistorchips 50 gebildet und eine Rückelektrode 52, deren äußerste Oberfläche mit Au plattiert ist, auf der gegenüberliegenden Oberfläche gefertigt. Die Au-Bumps 61 auf der Al-Elektrode sind durch ein Ball-Bonding-Verfahren ausgebildet. In diesem Schritt wird der ganze Al-Elektrodenfilm unter den Bumps durch eine Au-Al-Legierungsschicht 62 durch Wärmebehandlung von z. B. 300°C – 2 Stunden oder 250°C – 10 Stunden ersetzt. Die Oberfläche der Elektrodenleitung 55 ist mit Pd/Au 54

plattiert, und die Elektrodenleitungen sind an die Au-Bumps auf der Al-Elektrode über ein verbundenes Thermoschall-Thermokompressions-Bonding-Verfahren bei einer relativ niedrigen Temperatur von weniger als 200°C angeschlossen. Die Chip-Rückelektrode und die Unterbauanschlüsse halten das Verbindungsharz 60 in Schichtform, wobei in der Zwischenschicht Edelmetallpartikel 59 eingefaßt sind, und die Chip-Rückelektrode und die Unterbauleitung 42 sind durch Kompression unter Hinzufügung von Ultraschallwellen und Wärme bei relativ niedriger Temperatur von weniger als 250°C angeschlossen. Die Edelmetallpartikel 47, d. h. in diesem Fall Partikel aus Ag, sind durch die Kompression unter Erwärmung, Anpressen und Ultraschallvibration zwischen der Rückelektrode und der Unterbau-Montageleitung deformiert und bilden eine metallische Verbindung. Der ganze Chip und die jeweiligen Leitungen, außer den jeweiligen externen Verbindungsanschlüssen sind durch eine Harzeinfassung abgedeckt. Auf die Verbindungsstellen des Chips und die jeweiligen Leitungen wird eine durch das Schrumpfungsphänomen des Harzes während der Aushärtzeit entstandene Kompressionsspannung ausgeübt.

Nach dem vorliegenden Ausführungsbeispiel ist die Verbindungsstelle der Au-Bumps mit dem Al-Elektrodenfilm doppelt so fest wie die normale Festigkeit über die Au-Al-Legierungsverbindung, und die AuAl<sub>2</sub>-Verbindung schwacher Festigkeit, die ursprünglich beim Halten der Packung auf hoher Temperatur ausgebildet wurde, entsteht nicht. Daher kann eine Transistorpackung mit niedrigem Widerstand und einer verbesserten Temperaturzyklusverläßlichkeit realisiert werden.

Fig. 26 zeigt ein Ausführungsbeispiel des Unterbau-Verbindungsfilms der vorliegenden Erfindung.

Nach Fig. 26 sind Edelmetallpartikel 66 im Harzfilm 65 in der Weise eingefaßt, daß ein Teil der Partikel auf der Oberfläche des Harzfilms freiliegt. Die Edelmetallpartikel können aus Ag, Au, Pd, Pt oder aus Teilchen mit Kernen aus Cu, Ni und Abdeckungen aus Ag, Au, Pd bzw. Pt bestehen. Die Größe der Teilchen ist so beschaffen, daß eine große Anzahl von Teilchen von wenigstens halber Filmdicke darin enthalten ist. Der Harzfilm kann aus Polyimidharz, Epoxidharz, Polyesterharz oder Phenolharz bestehen, und das Harz ist in einer Weise hergestellt, daß es gleichzeitig thermoplastische und aushärtende Eigenschaften aufweist (eine Beschaffenheit, in der Lösungsmittel verdampft und das Harz halb austrocknet).

Fig. 27 zeigt ein anderes Ausführungsbeispiel des Verklebungsfilms zum Verbinden des Unterbaus nach vorliegender Erfindung.

Nach Fig. 27 liegen die Edelmetallpartikel 68, 69 auf beiden Oberflächen des Harzfilms 67 frei.

Fig. 28 zeigt ein Verfahren zum Verkleben zweier Teile mit dem Unterbau-Verbindungsfilm, der in Fig. 26 gezeigt ist. In Schritt (A) der Fig. 28 sind das Chipteil 70, auf dem ein dünner Edelmetallfilm abgeschieden wurde, der Unterbau-Verbindungsfilm 71, in dem Ag-Partikel 72 eingefaßt sind, und die Unterbau-Montageleitung 73, deren Verbindungsfläche mit einer dicken Ag-Schicht abgedeckt ist, schichtweise angeordnet. Dann wird in Schritt (B) der Fig. 28 der Schichtaufbau auf eine Heizstufe 74 gesetzt und durch Belastung von 73 mit dem Bonding-Werkzeug 76 über einen organischen Film 77 komprimiert. Wenn die Temperatur des Aufbaus auf einen bestimmten Grad erhöht wurde, wird Ultraschallvibration 79 auf das Bonding-Werkzeug ausgegeben, um den Chipteil in den Unterbau-Verbindungsfilm zum Brechen der Ag-Partikel für die metallische Verbindung des Chipteils mit der Unterbau-Montageleitung über die Ag-Partikel einzudrücken und das Chipteil und die Unterbau-Montageleitung mit dem Unterbau-Verbindungsfilm zu verkleben.

Die Temperatur zu Beginn der Zugabe von Ultraschallwellen ist die Temperatur, bei der das Aufweichen des Unterbau-Verbindungsfilms beginnt und die finale Heiztemperatur ist die Temperatur, bei der der Unterbau-Verbindungsfilm aushärtet. Der organische Film zwischen dem Bonding-Werkzeug und dem Chipteil wird nach jedem Vorgang oder nach einigen Vorgängen ausgewechselt. Demzufolge ist das Verfahren so geartet, daß der organische Film in einem eingerollten Bandzustand zugeführt und zum Wechseln gleichmäßig auf das Operationsteil übertragen wird. Der organische Film besteht aus einem organischen Material mit hoher Glasübergangstemperatur, das bei der Verbindungstemperatur nicht weich wird. Der Zustand nach der Verbindung wird in Fig. 28(c) angezeigt. Das Chipteil und die Unterbau-Montageleitung sind metallisch an mehreren Stellen über ein oder zwei Ag-Partikel verbunden, und ein Überschuß des Unterbau-Verbindungsfilms wird aus der Lücke zwischen den zwei Bestandteilen herausgedrückt. Demzufolge entsteht im Füllharz in der Lücke kein Leer-  
raum.

Nach dem vorliegenden Ausführungsbeispiel kann eine saubere Metallfläche der Ag-Partikel auf das Chipteil gedrückt werden, weil die Ag-Partikel aus dem Unterbau-Verbindungsfilm herausragen; das Ag-Partikel kann garantiert deformiert werden und ein mikroskopisches, plastisches Zerfließen der beiden Teile kann erzeugt werden, weil die Ag-Partikel größer als die Lücke sind; und die sichere metallische Verbindung wird durch Hinzufügen von Ultraschallvibration möglich. Andererseits wird nach dem Verbindungsschritt der Ag-Partikel mit der Unterbau-Montageleitung ein Kontakt der Ag-Partikel mit der Unterbau-Montageleitung durch Wegdrücken des Harzfilms erreicht, der sich durch Erhöhung der Temperatur erweicht, während des Schritts, in dem der Schichtaufbau auf die Heizstufe gestellt wird, und die Last wird über das Verbindungswerkzeug auf den Chip übertragen. Zu dieser Zeit ist das Harz immer noch in festem Zustand und befeuchtet nicht die Oberfläche des Metalls, und die Ag-Teilchen und die Unterbau-Montageleitung können miteinander über saubere metallische Grenzflächen kontaktiert werden. Daher wird eine Metallverbindung durch Zusetzen der Ultraschallvibration möglich. Das Harz wird durch Heizen nach dem engen Kontakt der Ag-Partikel und der Unterbau-Montageleitung einmal flüssig. Nachdem der Harzüberschuß durch die Lücke zwischen dem Chip und der Unterbau-Montageleitung herausgedrückt wurde, beginnt das Aushärten des Harzes. Nach dem oben beschriebenen Phänomen sind die zwei Bestandteile sicherlich metallisch über die Ag-Partikel verbunden, und gleichzeitig schreitet das Verkleben mit dem Harz fort. Daher kann die Anzahl der Verbindungsschritte erniedrigt und eine Verbesserung der Produktivität erreicht werden.

Da der organische Film als Verbrauchsstoff zwischen dem Verbindungswerkzeug und dem Chipteil verwendet wird, können Schäden des Chipteils bei der Kontaktierung mit dem harten Verbindungswerkzeug verhindert und der Produktionsertrag der Packung erhöht werden. Außerdem kann ein Verschleiß des Verbindungswerkzeugs vermieden und der Nutzyklus des Apparats signifikant erhöht werden. Dies hat ein Absinken der Produktionskosten zur Folge.

Wie oben im Detail beschrieben, kann nach vorliegender Erfindung eine Halbleiter-Packung vorgestellt werden, bei der die Festigkeit der Verbindungsstellen von Al-Elektrode/Au-Bumps/Elektrodenleitung verbessert ist.

Fig. 31 zeigt ein Ausführungsbeispiel der vorliegenden Erfindung für einen Fall, bei dem der edelmetallhaltige Bump an der Elektrode an der Vorderseite aus einer Legierung von Metallen mit niedrigem Schmelzpunkt besteht.

Nach Fig. 31 ist der metallisierte Film 289 aus Ti/Ni/Au,

Ti/Ni/Ag, Cr/Cu/Ni/Au oder Cr/Cu/Ni/Ag in einer bestimmten Weise auf dem Al-Elektrodenanschluß 282 auf der Vorderseite des vertikalen Halbleiterelements 281 und die metallisierte Elektrode 283, deren äußerste Oberfläche aus Ag oder Au besteht, ist auf der Rückseite ausgebildet. Der Unterbau 286 ist über die ganze Oberfläche der metallisierten Elektrode 283 durch das Lötmedium 287, das Ag-Sn oder z. B. Ag-Sn-Pb, Ag-Sn-Pb-Cu oder ähnliches als Hauptkomponente enthält, metallisch angeschlossen. Die Leitung 284 ist metallisch mit dem metallisierten Film 289 über die Legierungsanschlüsse 285 mit Ag-Sn als Hauptkomponente angeschlossen. Die Verbindungsstelle liegt nur in einem bestimmten Bereich, auf dem der metallisierte Film 289 auf der Elektrode an der Vorderseite ausgebildet ist. Das Halbleiterelement, die Zuleitung und ein Teil des Unterbaus ist durch die Harzabdeckung 288 geschützt. Die untere Ebene des Unterbaus liegt an der Oberfläche des Harzkörpers frei und ist so umgeformt, daß der Unterbau horizontal auf der Ebene des Harzkörpers gegenüber der Leitung herausragt. Die Leitung ragt aus dem mittleren Teil der Seitenfläche des Harzkörpers hervor und ist abgewinkelt, so daß die untere Ebene der Leitung so umgeformt ist, daß sie auf dem ungefähr gleichen Niveau wie die untere Ebene des Unterbaus liegt. Ungefähr gleich bedeutet hier einen Unterschiedsbereich in der Höhe der innerhalb der Dicke der Leitung oder des Unterbaus liegt.

Fig. 32 zeigt ein Ausführungsbeispiel der vorliegenden Erfindung für den Fall, daß die Halbleiter-Packung von Fig. 31 auf dem Verdrahtungssubstrat angebracht ist.

Nach Fig. 32 wird ein Ni/Au-Film auf der Oberfläche der Verbindungsanschlüsse 291, 293 auf dem Verdrahtungssubstrat 290 ausgebildet, und die Leitung 284 der Packung ist an die untere Ebene des Unterbaus 286 mit einem Metall mit niedrigem Schmelzpunkt angeschlossen, das die Fähigkeit hat, bei einer niedrigeren Temperatur als der Schmelzpunkttemperatur der Verbindungslegierungen 285, 287 in der Packung zu verbinden. Wenn die Verbindungslegierung in der Packung eine Ag-Sn-Cu-Gruppe ist, besteht die Verbindungslegierung des Verdrahtungssubstrats aus einem Lötmedium der Sn-Bi-Gruppe oder der Sn-In-Gruppe. Wenn die Verbindungslegierung in der Packung eine Ag-Sn-Pb-Gruppe ist, wird als Verbindungslegierung im Verdrahtungssubstrat ein Lötmedium der Sn-Ag-Gruppe verwendet.

Im vorliegenden Ausführungsbeispiel sind die Chip-elektrode und die Leitung über Bumps verbunden. Demnach ist, weil die Verbindungsstanz kurz und die Verbindungsfläche breit ist, der elektrische Widerstand an der Verbindungsstelle erniedrigt. Durch Bildung der Bumps aus einer Legierung mit Edelmetall verbunden mit Metallen mit tiefem Schmelzpunkt, kann der Betrag des verwendeten Edelmetalls erniedrigt werden und die Oberfläche der Leitungen kann aus Metallen mit tiefem Schmelzpunkt gefertigt werden. Also können die Kosten der Bestandteile gesenkt werden. Auf der anderen Seite wird, wenn die Oberfläche der Elektrode an eine Verschmelz-Legierung angeschlossen wird, ein möglicher Kurzschluß zwischen den beiden benachbarten Elektroden zum Problem. Der metallisierte Film ist jedoch nach der vorliegenden Ausführungsform mit der Verbindungslegierung auf der Elektrode der Chipseite benetzbar und auf ein spezifisches Gebiet beschränkt. Also ist selbst bei kleinem Abstand zwischen den Elektroden ein Kurzschlußvorfall verhinderbar, weil das verschmolzene Metall weder breit verteilt wird noch zu nahe kommt. Nach dem vorliegenden Ausführungsbeispiel wird die Chip-elektrode mit dem oberen und unteren Metallteil über das verschmolzene Metall angeschlossen und der Chip-elektrode keine externe Kraft während der Verbindungsoperation zugeführt. Daher kann der Fertigungsertrag durch das Verhin-

dern von Schäden auf dem Chip erhöht werden und die Kosten für die Produktion gesenkt werden. Wegen des seitlichen Herausragens des Unterbaus von den Seitenflächen des Harzkörpers kann der Lötmediumteil zur Montage auf das Verdrahtungssubstrat mit bloßem Auge erkannt, Lötfehler leicht untersucht und das Entstehen eines defekten Produkts von vornherein verhindert werden.

Nach dem vorliegenden Ausführungsbeispiel wird eine Legierung mit niedrigem Schmelzpunkt, das Edelmetall enthält, als Material für die Bumps verwendet, aber auch eine Legierung mit niedrigem Schmelzpunkt ohne Edelmetall weist dieselben Vorteile wie das vorliegende Ausführungsbeispiel auf.

Fig. 33 zeigt ein Ausführungsbeispiel der vorliegenden Erfindung für einen Fall, in dem die Halbleiter-Packung der vorliegenden Erfindung, dessen Unterbau fehlt, auf dem Verdrahtungssubstrat angebracht ist.

Nach Fig. 33 werden die Au-Bumps 257 auf der Vorderseite des Al-Elektrodenanschlusses 252 des vertikalen Halbleiterchips 251 gebildet, metallisch an die Leitung 256, die mit Edelmetall plattiert ist, angeschlossen und die Peripherie der Bumps durch das erste Harz 261 verstärkt. Die metallisierte Elektrode 253 an der Rückfläche des Chips wird direkt an den Verbindungsanschluß 259 des Verdrahtungssubstrats 258 mit dem Lot 260 angeschlossen. Die externe Verbindungsebene der Leitung ist an die Verbindungsanschlüsse mit derselben Art von Lötmedium angeschlossen. Die metallisierte Elektrodenoberfläche auf der Rückseite des Chips und die externe Verbindungsanschlussebene der Leitung sind so gestaltet, daß ihre Höhen etwa das gleiche Niveau erreichen, mit anderen Worten, die Differenz der Höhen liegt innerhalb der Breite der Zuleitung. Nach Fig. 33 liegen die Leitung und der Chip in der Weise, wie sie auf das Substrat aufgebracht sind, außen frei. Wenn diese Beschaffenheit jedoch nicht erwünscht wird, können die Leitung und der Chip mit einem zweiten Harzguß bedeckt werden.

Nach dem vorliegenden Ausführungsbeispiel wird kein Unterbau verwendet und es liegt ein einfacher Packungsaufbau vor. Daher können die Kosten zur Anfertigung und die Kosten der Komponenten gesenkt und die Produktionskosten signifikant gedrückt werden. Da die Elektrode auf der Rückfläche des Chips direkt an die Verbindungsanschlüsse des Verdrahtungssubstrats verlötet werden, kann der elektrische Widerstand zwischen ihnen gesenkt werden und der AN-Widerstand der Packung verkleinert werden. Die Höhe der Packung kann um so viel verringert werden wie an Unterbau weggelassen wird, und so kann eine ultradünne Substratanfertigung verwirklicht werden. Wenn die Packung nach der Montage mit einem Harzeinguß versiegelt wird, wird die Temperaturzyklusbeständigkeit an der Verbindungsstelle auf der Rückfläche des Chips im Vergleich zur konventionellen Struktur mit dem Unterbau verbessert, und ein elektronischer Apparat von hoher Verlässlichkeit kann realisiert werden.

Fig. 34 zeigt ein Ausführungsbeispiel der vorliegenden Erfindung für den Fall einer Halbleiter-Packung vom Oberflächenmontagetyp, die auf dem Verdrahtungssubstrat nach vorliegender Erfindung angebracht wird.

Nach Fig. 34 werden die Au-Bumps 268 auf dem Al-Elektrodenanschluß des vertikalen Halbleiterchips 262 angebracht, metallisch an die Leitung 267 angeschlossen, deren Oberfläche mit einem Edelmetall plattiert ist. Eine metallisierte Schicht, deren äußerste Oberfläche aus einem Edelmetall besteht, wird auf der Rückfläche des Chips gebildet und die metallisierte Schicht wird elektrisch an den Unterbau 269, der mit einem Edelmetall aus Edelmetallpartikeln 271 plattiert ist, angeschlossen. Der Chip, die Leitung und ein Teil des Unterbaus werden zum Schutz und zur Ver-

stärkung mit dem Harz 272 abgedeckt. Die untere Ebene des Unterbaus liegt an der Unterfläche des Harzkörpers frei und ragt an den Seitenflächen heraus. Auf der anderen Seite ragt die Leitung am Mittelteil der gegenüberliegenden Seitenfläche des Harzkörpers heraus und ist abgewinkelt, so daß die Höhe des externen Verbindungsteils ungefähr genau so groß wie die Höhe des externen Verbindungsteils des Unterbaus ist. Die Montageebene wird an die Verbindungsanschlüsse des Verdrahtungssubstrats durch Verlötung angeschlossen. Da die Verbindungsanschlüsse ungefähr auf einer definierten Höhe in der Größenordnung einiger zehn  $\mu\text{m}$  angeordnet sind, müssen die externen Verbindungsanschlüsse der Packung in ihrer Höhe anliegen. Nach dem vorliegenden Ausführungsbeispiel können kleine Höhenunterschiede durch eine unterschiedliche Dicke des Lötmittels 275 ausgeglichen werden, und die erlaubte Höhendifferenz ( $\Delta H$ ) ist genau so groß wie die Differenz in der Leitungsdicke (kleiner als etwa einige Hundert  $\mu\text{m}$ ). Die Packung zur Ebenenmontage kann jede Packung sein, wenn der Unterschied zwischen der externen Verbindungsebene und dem gegenüberliegenden Verdrahtungssubstrat der Packung innerhalb der Dicke der Leitung oder des Unterbaus eingestellt wird.

Nach dem vorliegenden Ausführungsbeispiel wurde eine Struktur entwickelt, bei der der Unterbau an beiden Seitenflächen des Harzkörpers herausragt. Die Lötverbindungsstelle kann also nach Augenmaß von der oberen Seite verstärkt werden, wenn die Packung auf dem Verdrahtungssubstrat fixiert wird, Verbindungsstellen können leicht überprüft werden, und die Produktionsgeschwindigkeit wird verbessert. Außerdem können die Anfertigungskosten gesenkt und die Funktionsfähigkeit verbessert werden.

Fig. 35 zeigt eine Draufsicht auf das vertikale Halbleiterelement, das zur Anfertigung der Halbleiter-Packung der vorliegenden Erfindung verwendet wird, und ein Beispiel seiner Querschnittsstruktur.

Nach Fig. 35 wird eine n-Typ Epitaxieschicht 315 auf dem hochkonzentrierten n-Typ Substrat 314 gebildet, und p-Typ und n-Typ Bereiche auf der Schicht ausgebildet, deren Tiefe und Form gesteuert wird. Der Gate-Oxidfilm 316 wird an einer Stelle gefertigt, an der er die p-Typ Diffusionschicht 316 einschließt, und damit die Kontaktfläche der Source-Elektrode umgibt, wobei n-Typ Schichten 317, 318 links und rechts angeordnet sind. Die Gate-Elektrodenleitung 320 ist auf dem Oxidfilm gebildet. Die Gate-Elektrodenleitung wird von einer Isolierschicht 321 umgeben, damit sie keinen Kontakt mit dem Source-Elektrodenanschluß 312 hat und an den Gate-Elektrodenanschluß 313 anschließt. Allgemein wird Aluminium als Material für den Gate- und Source-Elektrodenanschluß verwendet, aber in manchen Fällen wird darauf ein anderes Metall metallisiert. Allgemein wird die Ebene, auf der sich die Diffusionschicht befindet, Vorderseite genannt und die gegenüberliegende Ebene Rückseite. Das vorliegende Element ist ein sogenannter MOSFET, der den Strom durch Source/Drain nach dem Vorhandensein oder der Größe der an der Gate-Elektrode anliegenden Spannung steuert. Eine Verminderung des AN-Widerstands des vorliegenden Elements zeigt nennenswerte Vorteile hinsichtlich des Stromverbrauchs. Ein Effekt zur Erniedrigung des Widerstands wird erreicht, indem das Profil der npn-Struktur in der Epitaxieschicht und die Verunreinigungskonzentration gesteuert wird, aber die effektivste Methode besteht in der Verkürzung des Leitungsabstands durch Verkleinerung der Dicke des Wafers. Daher werden pn-Elemente, Schaltkreismuster und Elektrodenanschlüsse auf der Oberfläche eines Si-Wafers ausgebildet, dessen Dicke es ermöglicht, den Wafer in Fertigungsschritten zu verarbeiten. Darauf ist die Rückseite des Wafers geerdet, damit das hochdichte n-Typ Substrat 314 dünn ist, und

schließlich wird die metallisierte Schicht der Drain-Elektrode auf der Rückseite als Element geformt.

Wird der Rückseiten-Erdungsanschluß der vorliegenden Erfindung verwendet, so wird die Kontaktfläche mit der metallisierten Schicht erhöht, weil die Abschleifmarkierung an der Rückseite adäquate Erhöhungen und Vertiefungen ausbildet, und die Erhöhungen und Vertiefungen außerdem einen Ankereffekt hervorrufen. Daher ist, weil der ohmsche Kontaktwiderstand der Rückelektrode verkleinert wird, und die Verklebung der Rückelektrode mit der metallisierten Schicht verbessert wird, ein Verbesserungseffekt sowohl in der elektrischen Charakteristik als auch in der Verlässlichkeit erzielt.

Die vorliegende Erfindung ist nicht nur auf den MOSFET anwendbar, sondern auf alle Elemente, deren Widerstand oder Impedanz verkleinert werden muß, so wie Dioden, Thyristoren, Photoelemente und ähnliches.

#### Patentansprüche

1. Halbleiter-Bauelement mit:  
einem Halbleitersubstrat und  
einem Halbleiterelement mit:  
einer ersten Elektrode auf der Vorderseite des Halbleitersubstrats und einer zweiten Elektrode auf der Rückseite des Halbleitersubstrats,  
einem ersten Metallteil, das an die erste Elektrode angeschlossen ist, und  
einem zweiten Metallteil, das an die zweite Elektrode angeschlossen ist, wobei:  
die erste Elektrode an das erste Metallteil über einen ersten Metallkörper, der ein erstes Edelmetall enthält, angeschlossen ist, und  
die zweite Elektrode an das zweite Metallteil über einen zweiten Metallkörper, der ein zweites Edelmetall enthält, angeschlossen ist.
2. Halbleiter-Bauelement nach Anspruch 1, wobei ein Flächenteil des ersten Metallteils zur Verbindung mit einer externen Leitung und ein Flächenteil des zweiten Metallteils im wesentlichen auf demselben Niveau angebracht sind.
3. Halbleiter-Bauelement nach Anspruch 1 oder 2, wobei der erste Metallkörper einen konvexen Elektrodenanschluß darstellt, der aus der ersten Elektrode und/oder dem ersten Metallteil hervorragt.
4. Halbleiter-Bauelement nach Anspruch 1 oder 2, wobei der erste Metallkörper eine Mehrzahl konvexer Elektrodenanschlüsse bildet, die aus der ersten Elektrode und/oder dem ersten Metallteil hervorragen, und die Mehrzahl herausragender konvexer Elektrodenanschlüsse im wesentlichen über die ganze Verbindungszwischenschicht zwischen der ersten Elektrode und dem ersten Metallteil in im wesentlichen gleichen Intervallen verteilt sind.
5. Halbleiter-Bauelement nach einem der Ansprüche 1 bis 4, wobei auf der Verbindungsoberfläche des ersten Metallteils eine Edelmetallschicht vorgesehen ist.
6. Halbleiter-Bauelement nach Anspruch 1 oder 2, wobei der zweite Metallkörper aus einer Metallschicht besteht, die sich an der Verbindungsoberfläche zwischen der zweiten Elektrode und dem zweiten Metallteil befindet.
7. Halbleiter-Bauelement nach Anspruch 6, wobei die Metallschicht durch Verbindung einer Edelmetallschicht an der Verbindungsvorderseite der zweiten Elektrode mit einer Edelmetallschicht an der Verbindungsvorderseite des zweiten Metallteils hergestellt ist.
8. Halbleiter-Bauelement nach Anspruch 6, wobei die

Metallschicht aus einer Legierung mit einer Soliduslinien-Temperatur von wenigstens 400°C besteht, die als Hauptkomponente ein Edelmetall enthält.

9. Halbleiter-Bauelement nach Anspruch 1, wobei das erste Metallteil mehrere Teile enthält, die über einen mit der ersten Elektrode in Verbindung stehenden Teil hinausragen, und jedes dieser Mehrzahl von Teilen ein Flächenteil zum Anschließen an eine externe Leitung aufweist.

10. Halbleiter-Bauelement nach Anspruch 3, zusätzlich versehen mit einem Isolator zur Abdeckung des Halbleiterelements sowie des ersten und des zweiten Metallteils, wobei die Ebene des ersten Metallteils, die von der mit der ersten Elektrode verbundenen Ebene abgewandt ist, eine freiliegende Stelle zur Verbindung mit einer externen Leitung aufweist.

11. Halbleiter-Bauelement nach Anspruch 10, wobei die Verbindungsebene des Halbleiterelements eine Schaltungsebene bildet, und die erste Elektrode eine Hauptstromelektrode darstellt.

12. Halbleiter-Bauelement nach Anspruch 6, außerdem versehen mit einem Isolator zur Abdeckung des Halbleiterelements sowie des ersten und des zweiten Metallteils, wobei die Ebene des zweiten Metallteils, die von der mit der zweiten Elektrode verbundenen Ebene abgewandt ist, eine freiliegende Stelle zur Verbindung mit einer externen Leitung aufweist.

13. Halbleiter-Bauelement mit:  
einem Halbleitersubstrat und  
einem Halbleiterelement mit:  
einer ersten Elektrode auf der Vorderseite des Halbleitersubstrats und einer zweiten Elektrode auf der Rückseite des Halbleitersubstrats,  
einem ersten Metallteil, das an die erste Elektrode angeschlossen ist, und  
einem zweiten Metallteil, das an die zweite Elektrode angeschlossen ist, wobei:

die erste Elektrode an das erste Metallteil über eine edelmetallhaltige Metallschicht angeschlossen ist, und die Metallschicht durch Verbindung einer Edelmetallschicht an der Verbindungsvorderseite der zweiten Elektrode mit einer Edelmetallschicht an der Verbindungsvorderseite des zweiten Metallteils hergestellt ist.

14. Halbleiter-Bauelement mit:  
einem Halbleitersubstrat und  
einem Halbleiterelement mit:  
einer ersten Elektrode auf der Vorderseite des Halbleitersubstrats und einer zweiten Elektrode auf der Rückseite des Halbleitersubstrats,  
einem ersten Metallteil, das an die erste Elektrode angeschlossen ist, und  
einem zweiten Metallteil, das an die zweite Elektrode angeschlossen ist, wobei:  
die zweite Elektrode an das zweite Metallteil über eine edelmetallhaltige Metallschicht angeschlossen ist, und die Metallschicht aus einer Legierung mit einer Soliduslinien-Temperatur von wenigstens 400°C besteht, die als Hauptkomponente ein Edelmetall enthält.

15. Halbleiter-Bauelement mit:  
einem Halbleitersubstrat und  
einem Halbleiterelement mit:  
einer ersten Elektrode auf der Vorderseite des Halbleitersubstrats und einer zweiten Elektrode auf der Rückseite des Halbleitersubstrats,  
einem ersten Metallteil, das an die erste Elektrode angeschlossen ist, und  
einem zweiten Metallteil, das an die zweite Elektrode angeschlossen ist, wobei:

das erste Metallteil in mehreren Teilen über einen mit der ersten Elektrode in Verbindung stehenden Teil hinausragt, und

jedes dieser Mehrzahl von Teilen ein Flächenteil zum Anschließen an eine externe Leitung aufweist.

16. Halbleiter-Bauelement nach Anspruch 1 oder 2, wobei die zweite Elektrode auf der Rückseite des Halbleitersubstrats durch dessen Metallisierung nach einem Schleifvorgang geschaffen wird.

17. Halbleiter-Bauelement nach Anspruch 1 oder 2, wobei wenigstens einer der beiden Metallkörper ein Lötmittel mit einem Schmelzpunkt von wenigstens 250°C aufweist.

18. Verfahren zur Herstellung des Halbleiter-Bauelements nach Anspruch 1, wobei in einem Bondvorgang die erste Elektrode mit dem ersten Metallteil des Halbleiters und gleichzeitig oder später die zweite Elektrode mit dem zweiten Metallteil dieses Halbleiters verbunden wird.

19. Halbleiter-Bauelement mit:  
einem Halbleiterchip, und  
einem mit der Chipelektrode verbundenen Metallteil, wobei:  
die Chipelektrode einen Film aus Al oder einer Al-Legierung aufweist,  
das Metallteil auf der Vorderseite eine Verbindungsfläche aus einem plattierten Edelmetallfilm aufweist,  
die Chipelektrode mit dem Metallteil über Au-Bumps metallisch verbunden ist, und  
der Aluminiumfilm über mehr als 80 Flächen-% des Au/Al-Verbindungsbereichs in Dickenrichtung ganz aus einer Au/Al-Legierung besteht.

20. Halbleiter-Bauelement mit:  
einem Halbleiterchip,  
einem ersten mit der Rückfläche der Elektrode verbundenen Metallteil,  
einem zweiten Metallteil, das auf einer Schaltungsebene auf dem Chip an die Hauptstromelektrode angeschlossen ist, und  
einem dritten an eine Steuerelektrode angeschlossen Metallteil, wobei:  
die Hauptstromelektrode und die Steuerelektrode aus einem Film aus Al oder einer Al-Legierung bestehen, mehrere Au-Bumps in metallisch verbindender Weise auf dem jeweiligen Al-Elektrodenfilm angeordnet sind, das zweite und das dritte Metallteil edelmetallplattiert und jeweils so strukturiert sind, daß sie mit den Au-Bumps durch Kompressionsbonden kontaktiert sind, und Lücken zwischen dem Metallteil und dem Chip durch Harz aufgefüllt sind, und  
eine Ebene des ersten Metallteils, die dem Chip in der Ebene der Chipprojektion gegenüberliegt, und dem Chip gegenüberliegende Ebenen des zweiten und des dritten Metallteils auf der Oberfläche des Halbleiter-Bauelements liegen.

21. Halbleiter-Bauelement mit:  
einem Halbleiterchip, und  
einem mit der Chipelektrode verbundenen Metallteil, wobei Edelmetallpartikel mit einem Partikeldurchmesser, der größer ist als die Lücke zwischen dem Chip und dem Metallteil, und Harz in die Lücke gefüllt werden,  
wobei die Struktur so beschaffen ist, daß Edelmetallbumps, die einen Durchmesser aufweisen, der größer als die Lücke zwischen dem Chip und dem Metallteil ist, und Harz in die Lücke zwischen dem Chip und dem Metallteil gefüllt wird.

22. Halbleiter-Bauelement nach Anspruch 21, wobei

die Edelmetallpartikel, das Metallteil und die Elektrode bzw. die Edelmetallbumps, das Metallteil und die Elektrode jeweils metallisch miteinander verbunden sind.

23. Halbleiter-Bauelement mit einem Halbleiterchip, und mit den Chipelektroden verbundenen Metallteilen, wobei die mechanische Hauptverbindung zwischen den Metallteilen über den Chip erfolgt. 5

24. Halbleiter-Bauelement mit:  
einem Halbleiterchip,  
an die Chipelektroden angeschlossenen Metallteilen 10  
und  
einem Harz, das eine Lücke zwischen dem Chip und den Metallteilen ausfüllt, wobei  
das Metallteil Erhöhungen oder Vertiefungen und Öffnungen enthält, die eine mechanische Verbindung mit dem Harz ermöglichen. 15

---

Hierzu 22 Seite(n) Zeichnungen

---

20

25

30

35

40

45

50

55

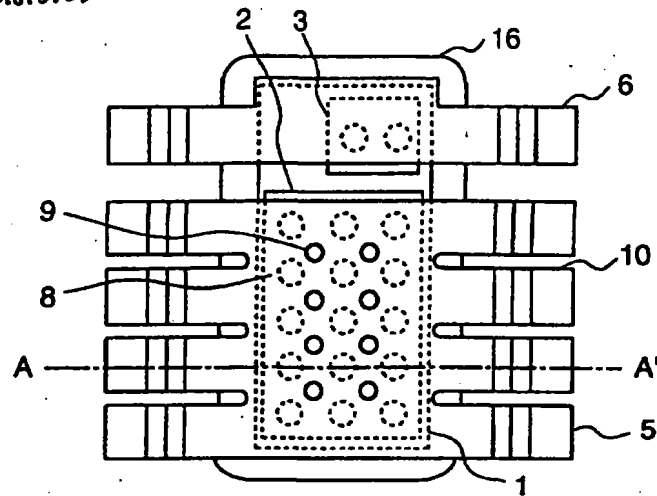
60

65

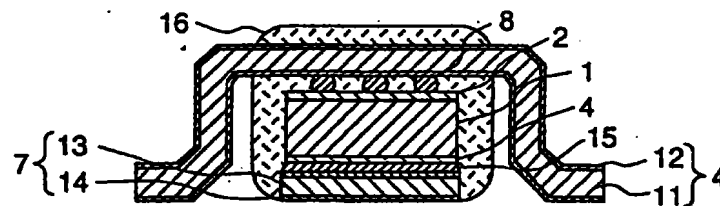
- Leerseite -

FIG. 1

a) Ansicht von oben



b) Querschnitt



c) Ansicht von unten

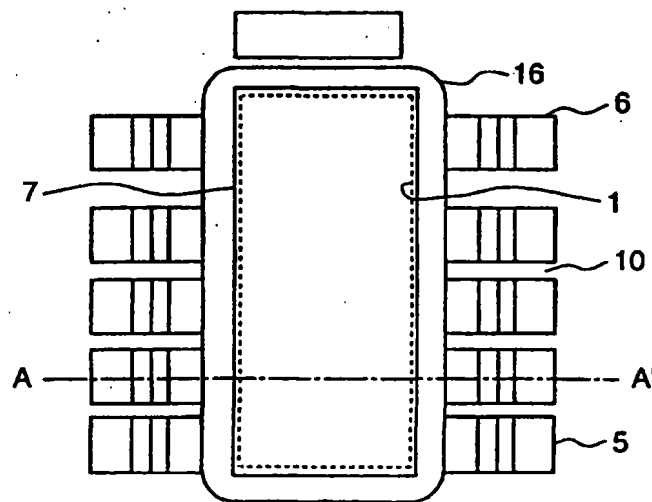


FIG. 2

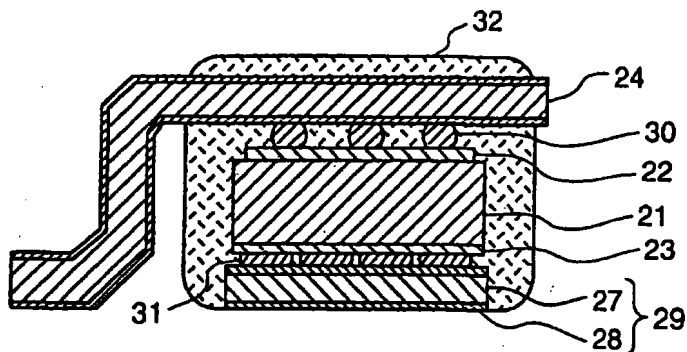


FIG. 3

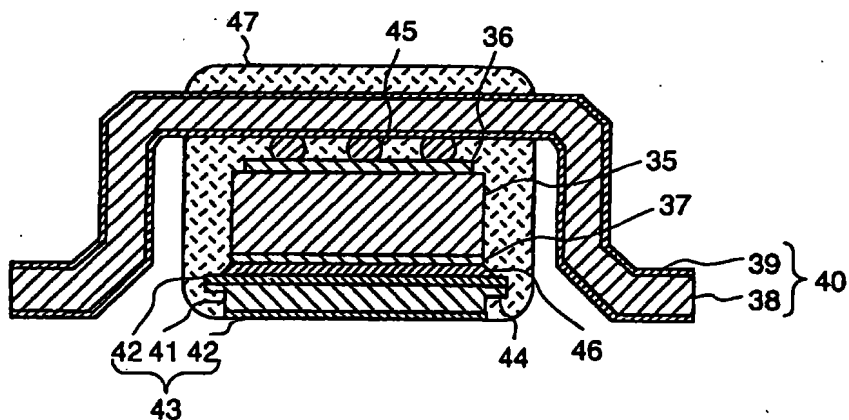


FIG. 4

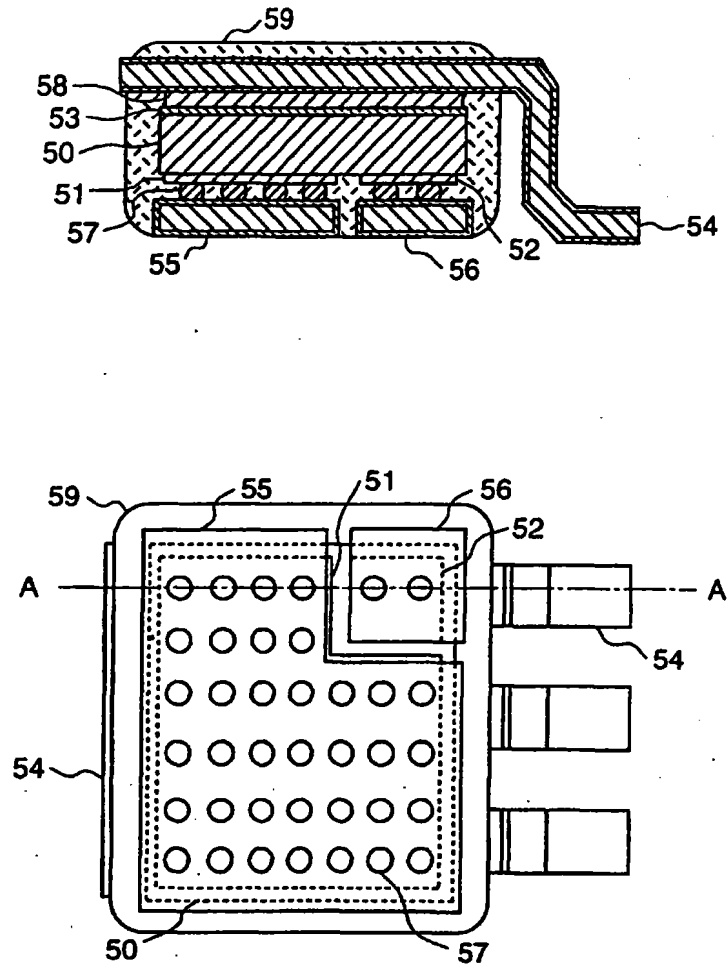


FIG. 5

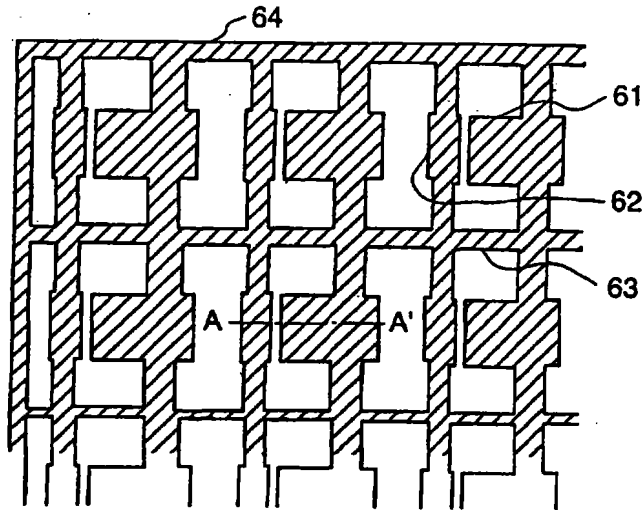


FIG. 6

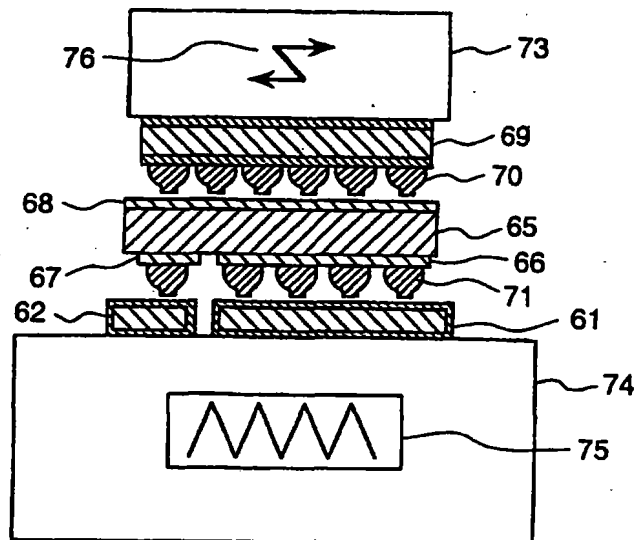


FIG. 7

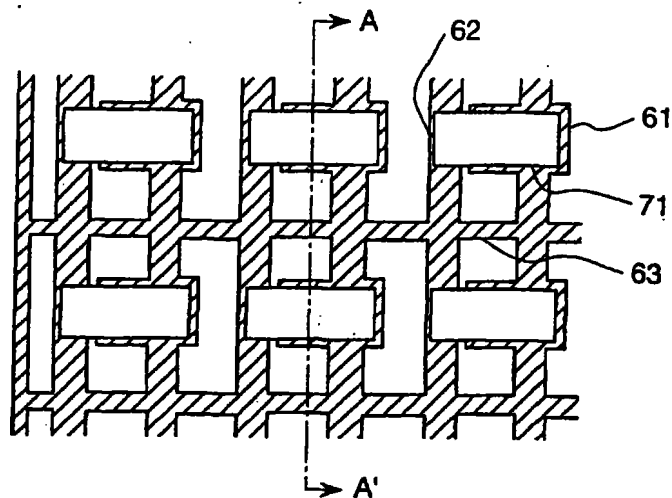


FIG. 8

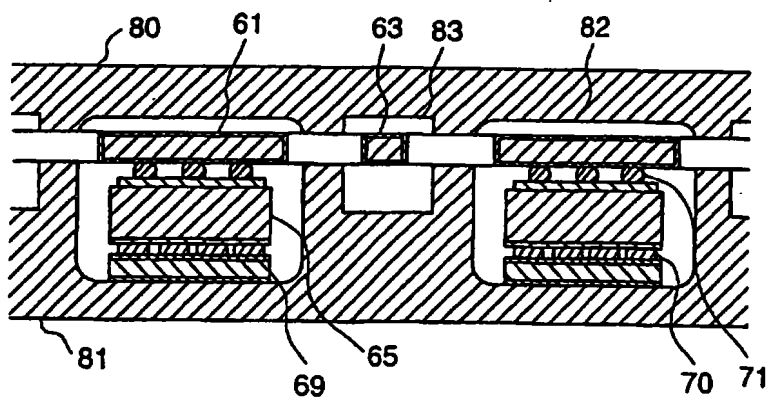


FIG. 9

## (Fertigungsablauf (Ultraschall - Thermokompression))

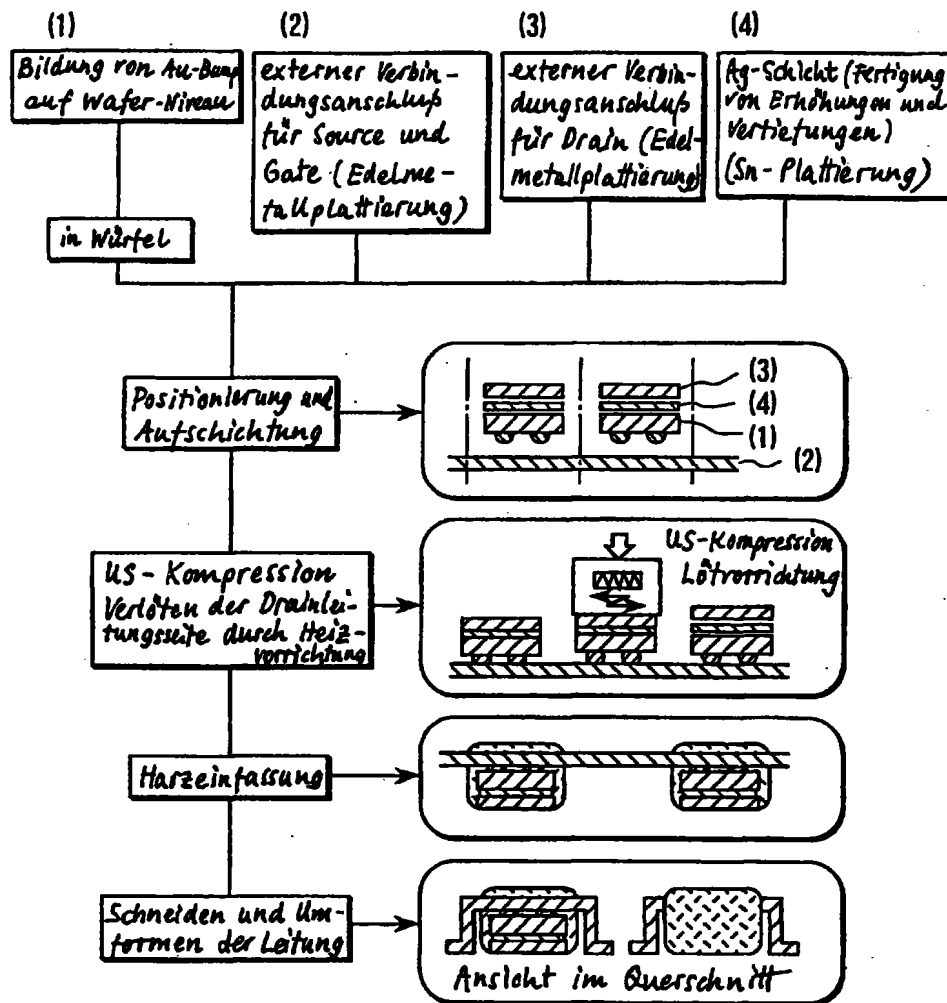
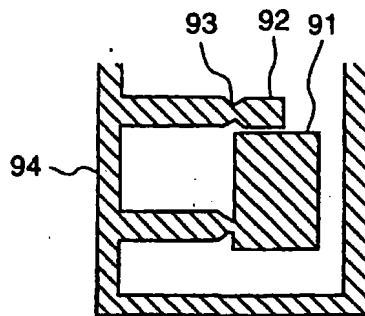
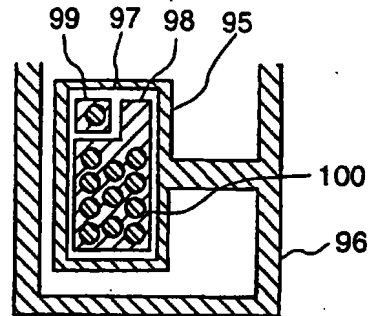


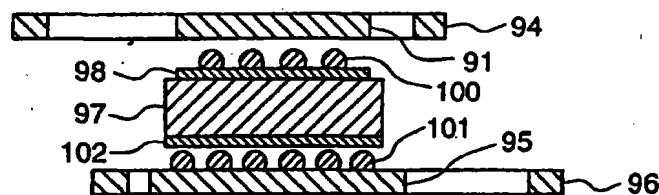
FIG. 10



(a) Leitungsrahmen für Source/  
Gate



(b) Leitungsrahmen für  
Drain



(c) Querschnittsschichtstruktur  
beim Verbinden

FIG. 11

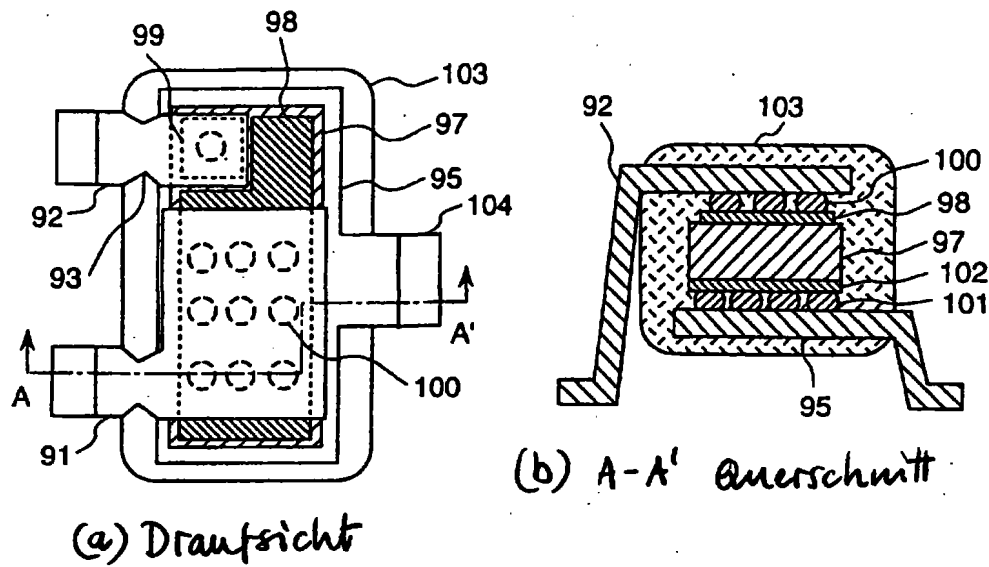


FIG. 12

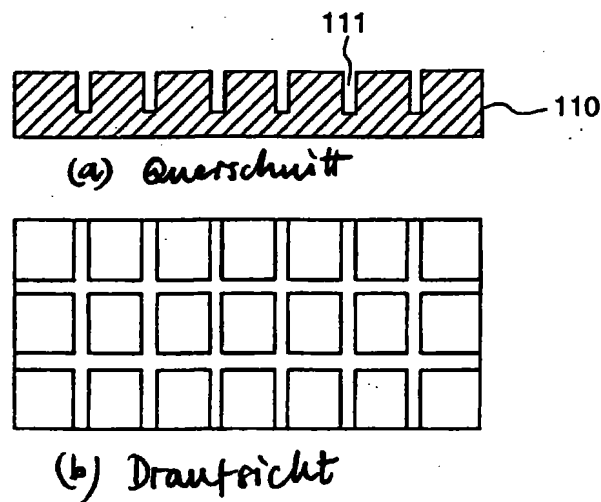


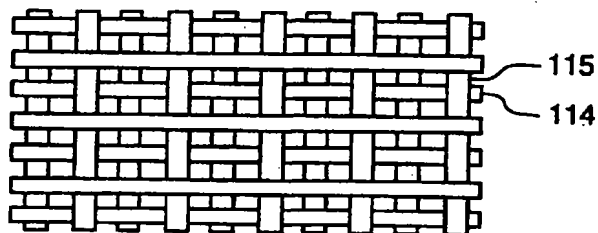
FIG. 13



FIG. 14



(A) Querschnitt



(b) Draufsicht

FIG. 15

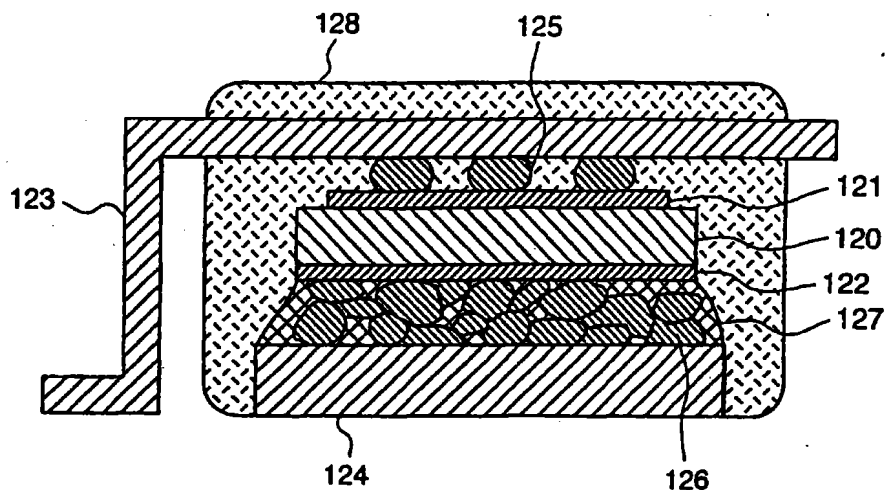


FIG. 16

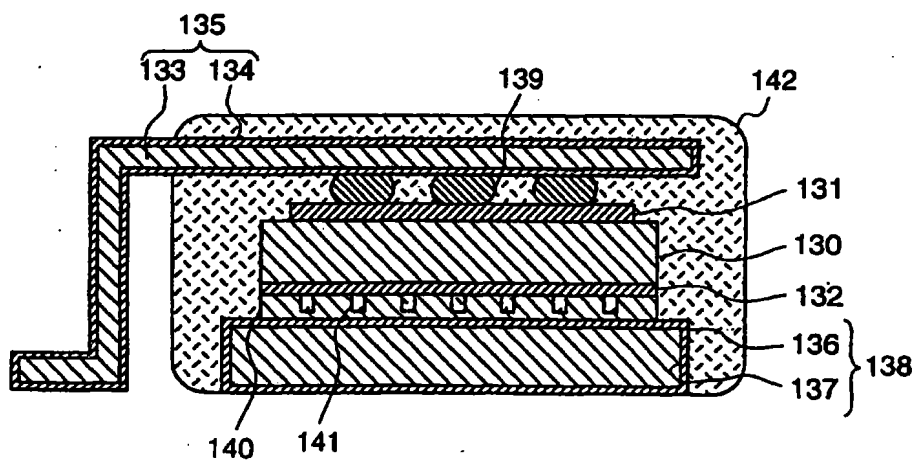


FIG. 17

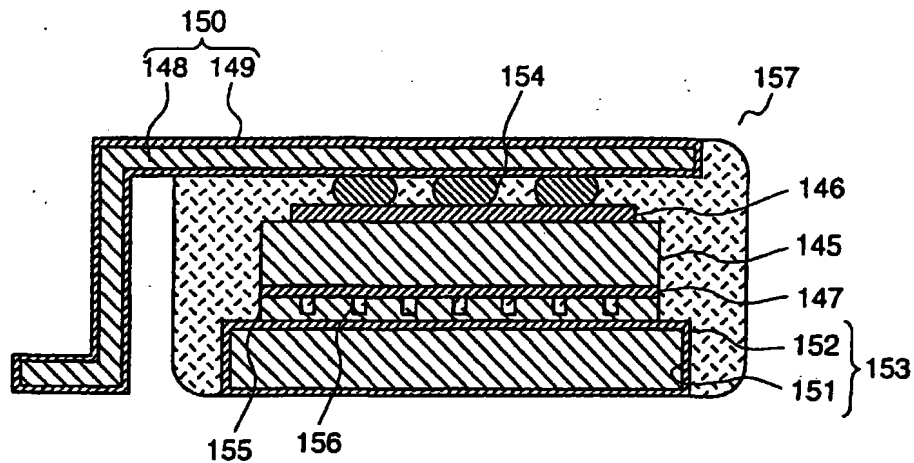


FIG. 18

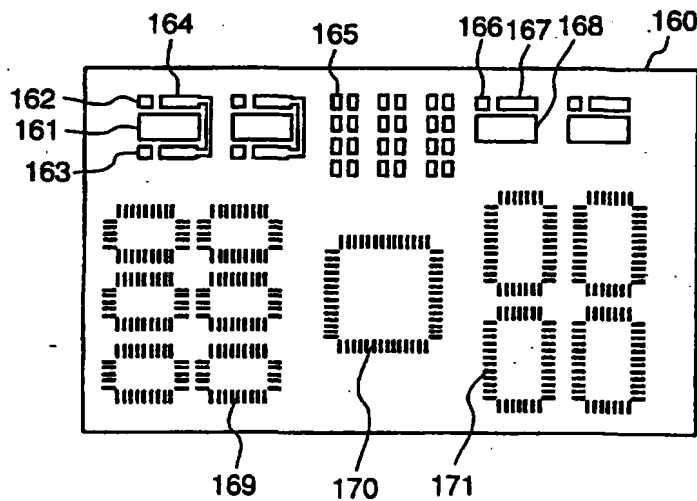


FIG. 19

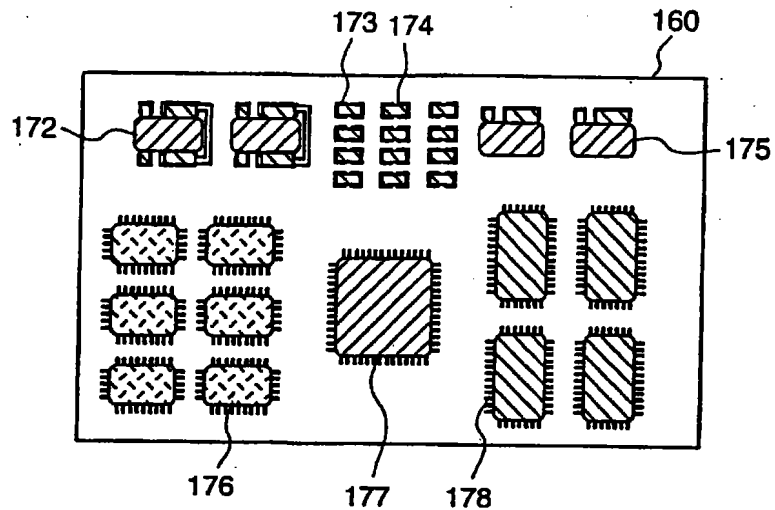


FIG. 20

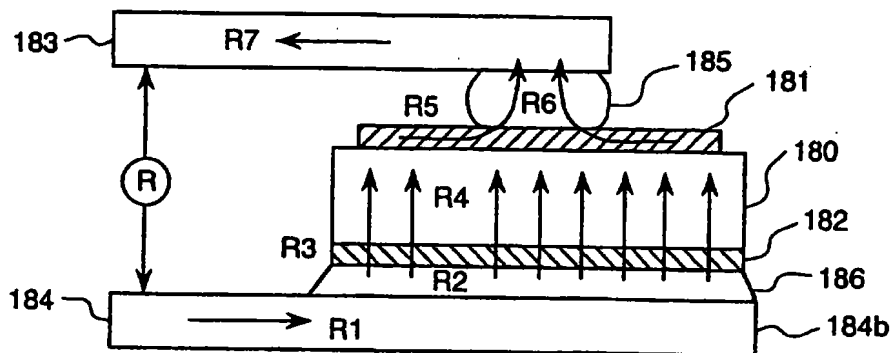
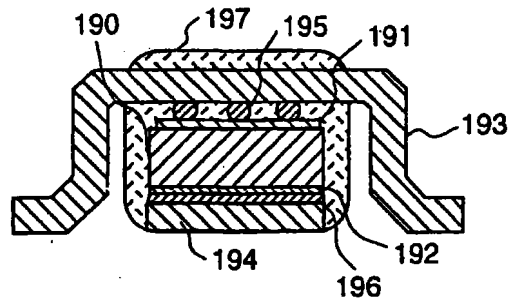
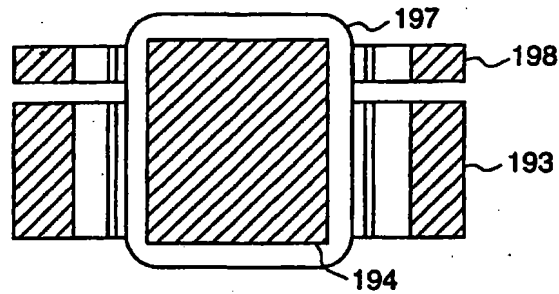


FIG. 21

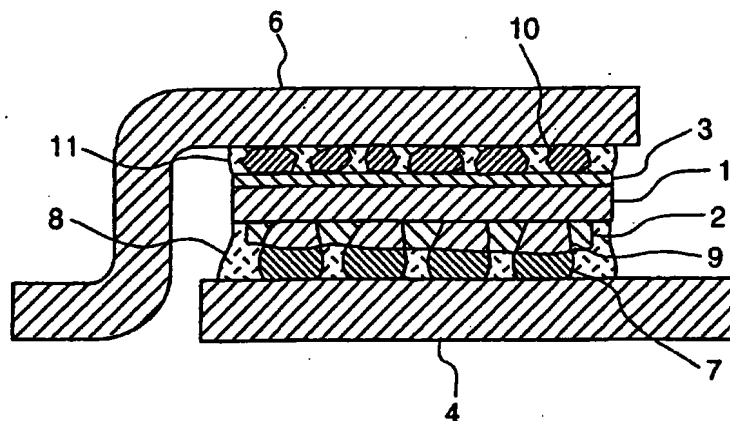


(a) Querschnitt

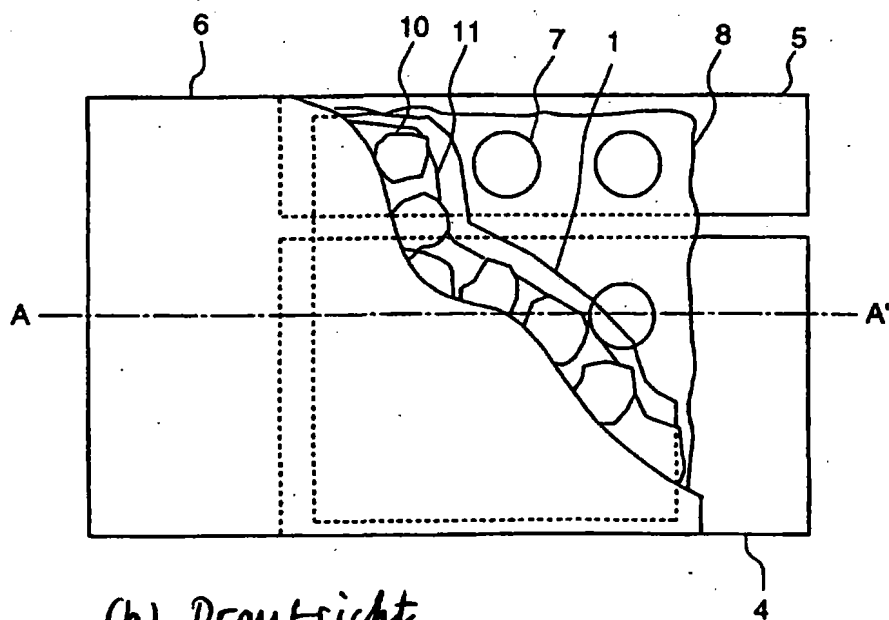


(b) Ansicht von unten

FIG. 22



(a) A-A' Querschnitt



(b) Draufsicht

FIG. 23

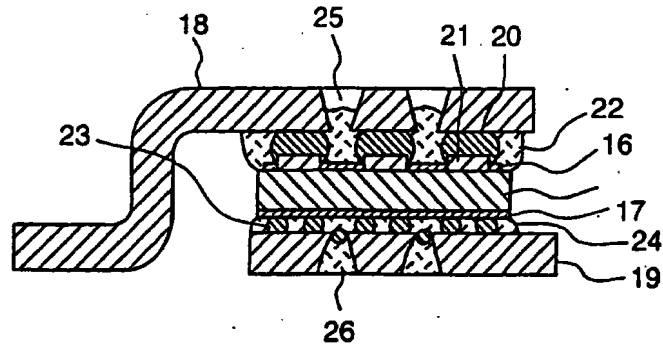


FIG. 24

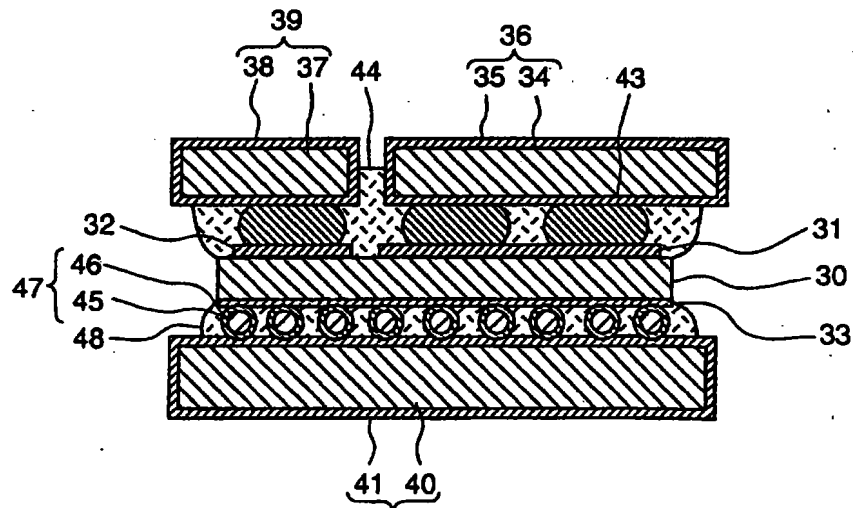


FIG.25

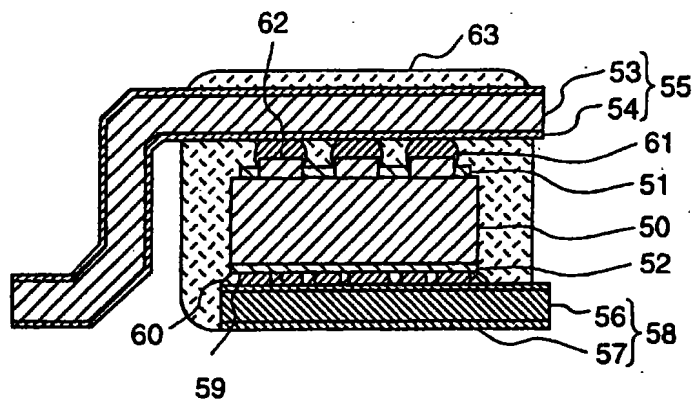


FIG.26

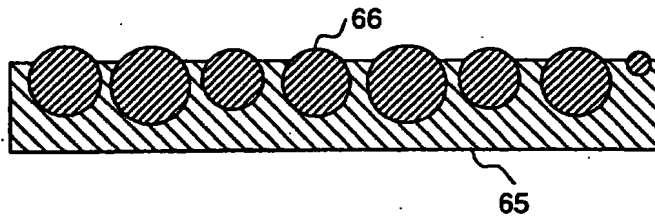


FIG.27

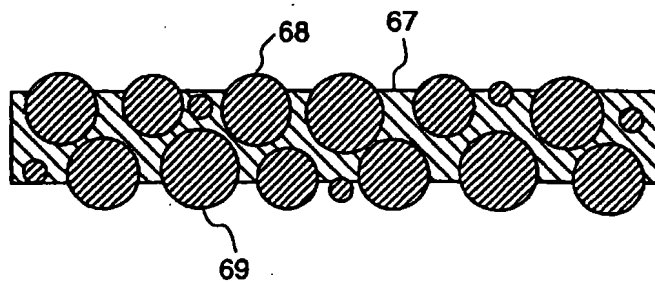


FIG. 28(a)

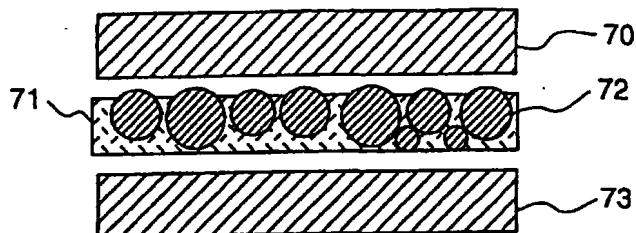


FIG. 28(b)

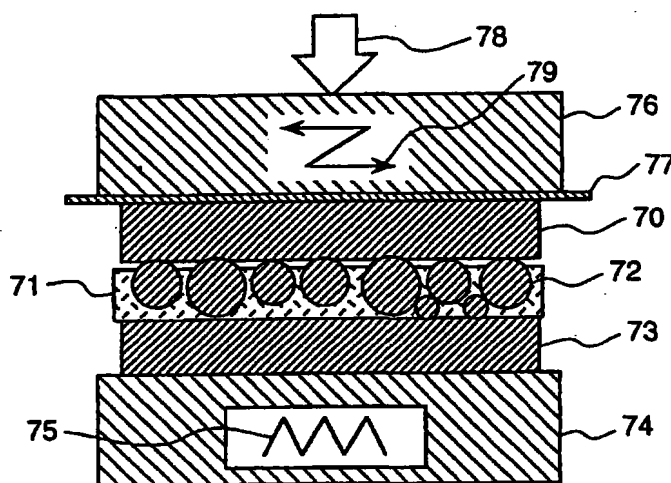


FIG. 28(c)

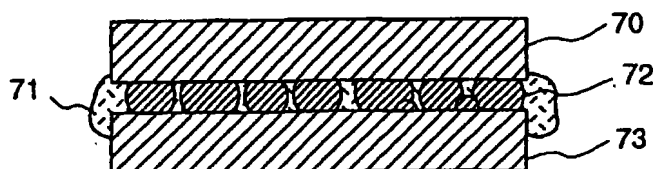


FIG. 29

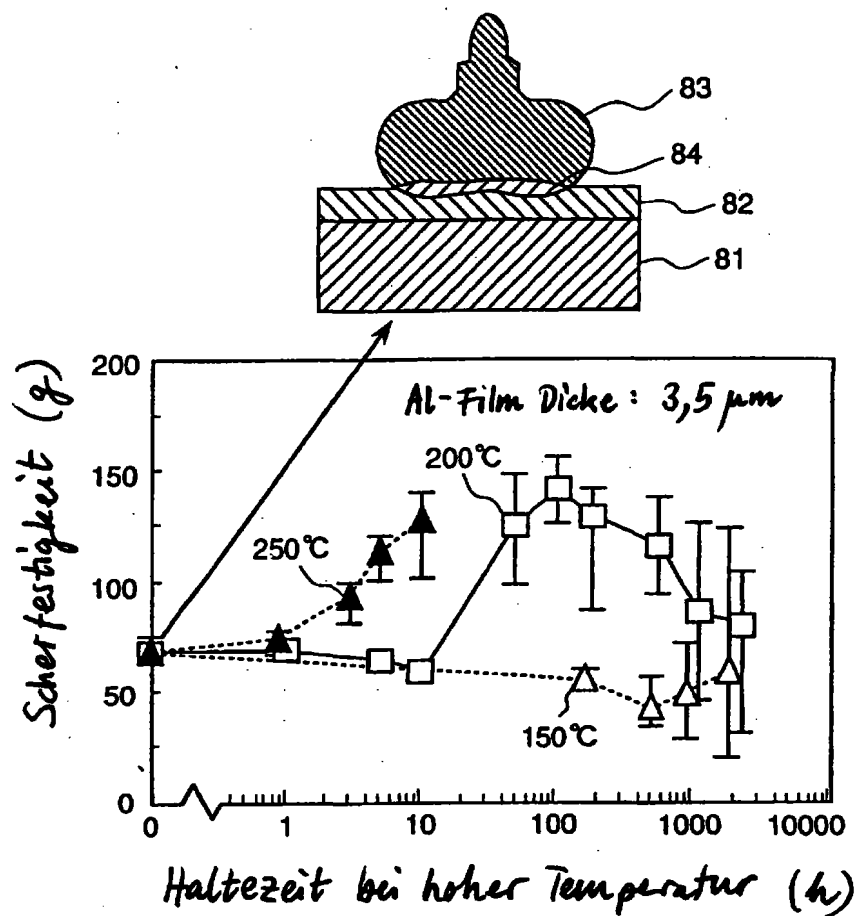


FIG. 30

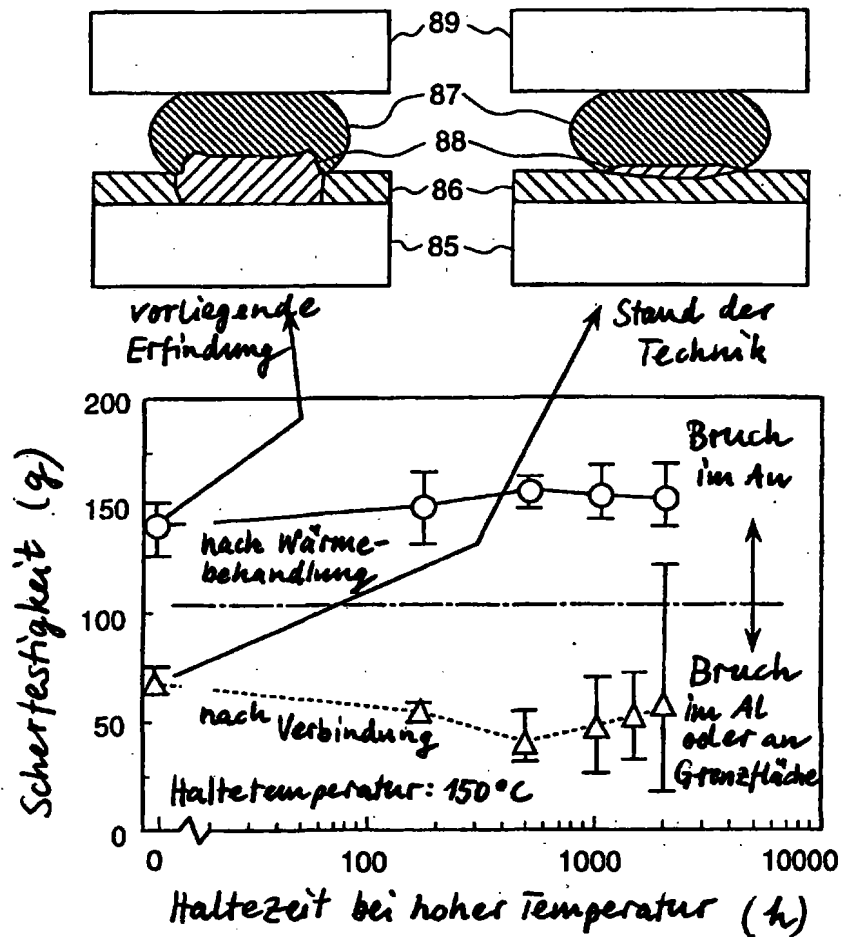


FIG. 31

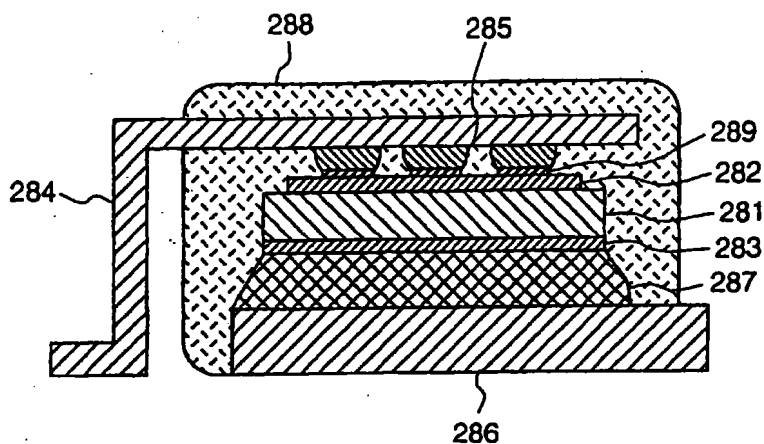


FIG. 32

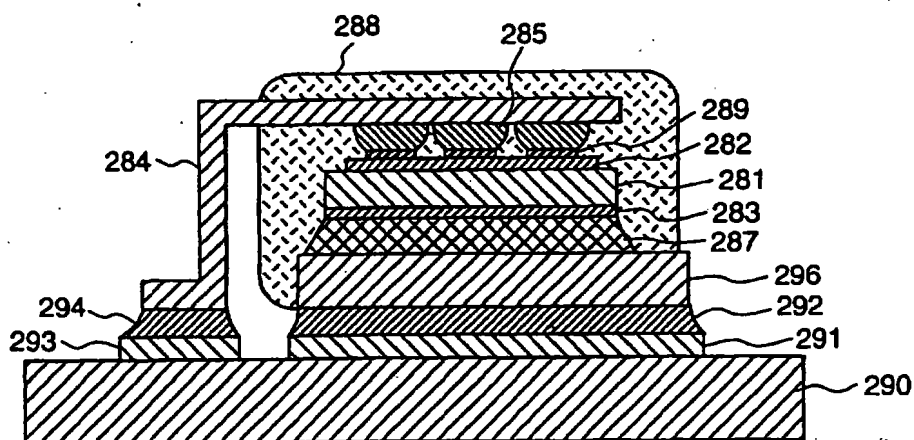


FIG. 33

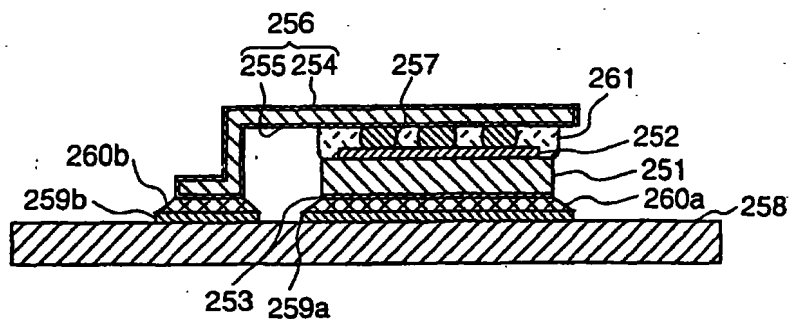


FIG. 34

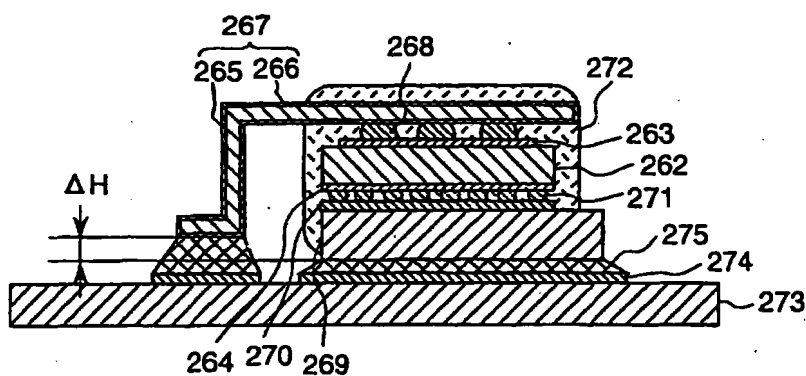


FIG. 35(a)

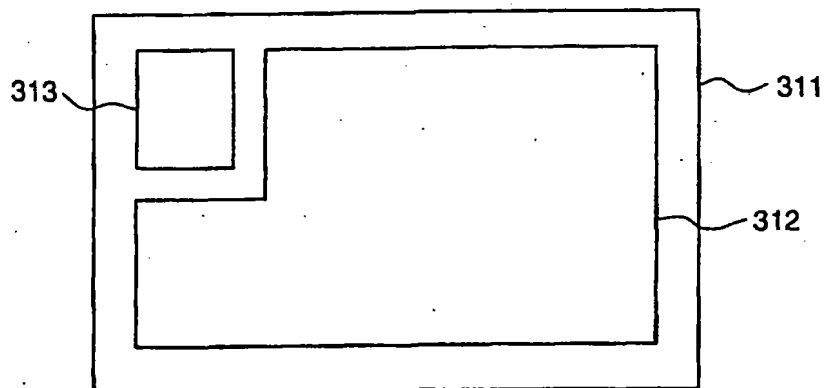


FIG. 35(b)

